

日 本 国 特 許 庁
JAPAN PATENT OFFICE

PCT/JP 2004/004650

31. 3. 2004

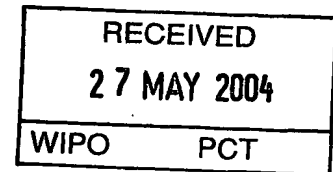
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 3 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 8 8 0 5 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 8 8 0 5 7]

出 願 人 松下電器産業株式会社
Applicant(s):

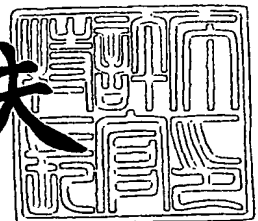


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 5 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 4 0 2 2 7

【書類名】 特許願

【整理番号】 2032450140

【提出日】 平成15年 6月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/14

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 村上 元良

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 後藤 泰宏

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 110000040

 【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

 【代表者】 池内 寛幸

 【電話番号】 06-6135-6051

【先の出願に基づく優先権主張】

 【出願番号】 特願2003- 96246

 【出願日】 平成15年 3月31日

【手数料の表示】

 【予納台帳番号】 139757

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ素子とこれを用いたメモリならびにメモリ素子の製造方法

【特許請求の範囲】

【請求項 1】 情報を保持するメモリーセルと、前記メモリーセルに情報を記録する制御部と、前記メモリーセルから情報を読み出す検知回路とを含み、

前記検知回路は、前記メモリーセルから独立しているメモリ素子。

【請求項 2】 情報を保持する複数のメモリーセルと、

前記メモリーセルに情報を記録する制御部と、

前記メモリーセルの近傍に配置され、かつ、前記メモリーセルから情報を読み出す検知回路とを含み、

前記検知回路は、トランジスタを含み、

前記トランジスタは、前記複数のメモリーセルに対応する複数のチャンネルと、少なくとも 2 つの前記チャンネルの上方に配置され、前記少なくとも 2 つのチャンネルに対応する 1 つのゲート電極とを含み、

前記メモリーセルに記録された情報に応じて前記チャンネルの電気的特性が異なることによって、前記トランジスタの電氣的な出力が異なるメモリ素子。

【請求項 3】 前記トランジスタが、前記複数のチャンネルの上方に配置された 1 つのゲート電極を有する請求項 2 に記載のメモリ素子。

【請求項 4】 前記トランジスタが、MOS トランジスタである請求項 2 に記載のメモリ素子。

【請求項 5】 前記トランジスタは、前記メモリーセルに記録された情報に応じて電気抵抗値が異なる請求項 2 に記載のメモリ素子。

【請求項 6】 前記トランジスタが、ゲート電極とドレイン電極とを等電位にしたトランジスタである請求項 2 に記載のメモリ素子。

【請求項 7】 前記検知回路が、複数の前記トランジスタを含む請求項 2 に記載のメモリ素子。

【請求項 8】 隣あった一組の前記トランジスタにおいて、一方の前記トランジスタのゲート電極と、他方の前記トランジスタのソース電極とが等電位である

請求項 7 に記載のメモリ素子。

【請求項 9】 前記トランジスタにおけるゲート電極と半導体基板との間に配置されている絶縁層の面積が、前記ゲート電極の面積よりも大きい請求項 2 に記載のメモリ素子。

【請求項 10】 前記絶縁層が、ソース電極およびドレイン電極の双方に接している請求項 9 に記載のメモリ素子。

【請求項 11】 前記トランジスタにおけるソース電極の表面と、ゲート電極の表面と、ドレイン電極の表面とが同一の高さにある請求項 2 に記載のメモリ素子。

【請求項 12】 前記トランジスタが、マルチゲート型トランジスタである請求項 2 に記載のメモリ素子。

【請求項 13】 前記メモリーセルが、不揮発性の固体メモリである請求項 2 に記載のメモリ素子。

【請求項 14】 前記メモリーセルが磁性体を含み、
前記制御部は、前記磁性体に磁界を印加して前記磁性体の磁化状態を変化させることによって情報を記録する磁界発生部を含み、

前記トランジスタは、前記磁性体の前記磁化状態に応じて電気的な出力が異なる請求項 2 に記載のメモリ素子。

【請求項 15】 前記第 1 の磁界発生部が、磁界を誘起する配線を含む請求項 14 に記載のメモリ素子。

【請求項 16】 前記磁性体が、フェリ磁性材料、希土類-遷移金属系磁性材料、フェライトおよび遷移金属を含む酸化物からなる強磁性材料から選ばれる少なくとも 1 種の材料を含む請求項 14 に記載のメモリ素子。

【請求項 17】 前記磁性体が、保磁力の異なる複数の成分を含む多元系の磁性材料からなる請求項 14 に記載のメモリ素子。

【請求項 18】 前記磁性体の飽和磁化の値が極大となる温度が、 $80^{\circ}\text{C} \sim 300^{\circ}\text{C}$ の範囲である請求項 14 に記載のメモリ素子。

【請求項 19】 前記磁性体のキュリー温度が、 100°C 以上である請求項 14 に記載のメモリ素子。

【請求項 20】 前記磁性体が、前記磁性体の前記検知回路に面している面に対して垂直な方向に磁束の成分を有する請求項 14 に記載のメモリ素子。

【請求項 21】 複数の前記メモリーセルを含む請求項 2 に記載のメモリ素子。

【請求項 22】 前記メモリーセルが、前記トランジスタの 1 つのチャンネルに対応して複数配置されている請求項 21 に記載のメモリ素子。

【請求項 23】 前記複数のメモリーセルの各々に対応した前記制御部を含む請求項 21 に記載のメモリ素子。

【請求項 24】 請求項 1 ～ 23 のいずれかに記載のメモリ素子と、前記メモリ素子に情報を記録するための情報記録用導体線と、前記情報を読み出すための情報読出用導体線を含むメモリ。

【請求項 25】 複数の前記メモリ素子を含み、前記複数のメモリ素子がマトリクス状に配置されている請求項 24 に記載のメモリ。

【請求項 26】 前記メモリ素子の電気的な出力を参照するための素子を含む請求項 24 に記載のメモリ。

【請求項 27】 (i) 複数のチャンネルと、少なくとも 2 つの前記チャンネルの上方に配置され、前記少なくとも 2 つのチャンネルに対応する 1 つのゲート電極とを含むトランジスタを含む検知回路を、半導体基板の表面に形成する工程と、

(ii) メモリーセルと前記半導体基板とによって前記検知回路を挟むように、前記メモリーセルを前記検知回路の近傍に形成する工程と、

(iii) 前記メモリーセルの近傍に、前記メモリーセルに情報を記録する制御部を形成する工程とを含み、

前記 (ii) の工程において、前記メモリーセルは、前記チャンネルに対応するように形成されるメモリ素子の製造方法。

【請求項 28】 前記トランジスタが、前記複数のチャンネルの上方に配置された 1 つのゲート電極を有する請求項 27 に記載のメモリ素子の製造方法。

【請求項 29】 前記トランジスタが MOS トランジスタである請求項 27 に記載のメモリ素子の製造方法。

【請求項 30】 前記トランジスタにおけるソース電極の表面と、ゲート電極

の表面と、ドレイン電極の表面とが同一の高さにある請求項 27 に記載のメモリ素子の製造方法。

【請求項 31】 前記メモリーセルが磁性体であり、

前記 (ii) の工程において、前記メモリーセルを、前記メモリーセルから生じる磁束を前記検知回路が検知するように前記検知回路の近傍に形成する請求項 27 に記載のメモリ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリ素子とこれを用いたメモリならびにメモリ素子の製造方法に関する。

【0002】

【従来の技術】

従来、ランダムアクセスメモリ (RAM) として、DRAM、SRAM に代表される半導体メモリが広く用いられている。半導体メモリは、微細加工技術の進歩による高集積化、量産技術の進歩による低コスト化が進んでおり、様々な製品、デバイスのメモリとして幅広く普及している。

【0003】

また、近年、磁気抵抗効果を用いた RAM である磁気抵抗効果メモリ (MRAM) が開発されている (例えば、特許文献 1、参照)。MRAM は、繰り返し記録特性に優れており、また、半導体メモリに比べて読み出し時間が高速であるなどの優れた特性を有していることから、次世代の RAM として盛んに開発が進められている。

【0004】

その他、現在用いられている、あるいは開発が進められている RAM には、強誘電体などを用いた電荷蓄積型のメモリや、材料の相転移現象を利用した相変化型のメモリなどがある。

【0005】

【特許文献 1】

特開 2002-533916 号公報

【0006】

【発明が解決しようとする課題】

本発明は、これら従来メモリとは構造が異なり、また、特性に優れるメモリ素子とその製造方法とを提供することを目的とする。また、上記メモリ素子を用いることによって、特性に優れるメモリを提供することを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成するために、本発明のメモリ素子は、情報を保持するメモリーセルと、前記メモリーセルに情報を記録する制御部と、前記メモリーセルから情報を読み出す検知回路とを含み、前記検知回路は、前記メモリーセルから独立している。

【0008】

また、本発明のメモリ素子は、情報を保持する複数のメモリーセルと、前記メモリーセルに情報を記録する制御部と、前記メモリーセルの近傍に配置され、かつ、前記メモリーセルから情報を読み出す検知回路とを含み、前記検知回路は、トランジスタを含み、前記トランジスタは、前記複数のメモリーセルに対応する複数のチャネルと、少なくとも2つの前記チャネルの上方に配置され、前記少なくとも2つのチャネルに対応する1つのゲート電極とを含み、前記メモリーセルに記録された情報に応じて前記チャネルの電気的特性が異なることによって、前記トランジスタの電気的な出力が異なってもよい。

【0009】

本発明のメモリ素子では、前記トランジスタが、前記複数のチャネルの上方に配置された1つのゲート電極を有していてもよい。

【0010】

本発明のメモリ素子では、前記トランジスタが、MOSトランジスタであってもよい。

【0011】

本発明のメモリ素子では、前記トランジスタは、前記メモリーセルに記録され

た情報に応じて電気抵抗値が異なってもよい。

【0012】

本発明のメモリ素子では、前記トランジスタが、ゲート電極とドレイン電極とを等電位にしたトランジスタであってもよい。

【0013】

本発明のメモリ素子では、前記検知回路が、複数の前記トランジスタを含んでいてもよい。

【0014】

本発明のメモリ素子では、隣あった一組の前記トランジスタにおいて、一方の前記トランジスタのゲート電極と、他方の前記トランジスタのソース電極とが等電位であってもよい。

【0015】

本発明のメモリ素子では、前記トランジスタにおけるゲート電極と半導体基板との間に配置されている絶縁層の面積が、前記ゲート電極の面積よりも大きくてもよい。

【0016】

本発明のメモリ素子では、前記絶縁層が、ソース電極およびドレイン電極の双方に接していてもよい。

【0017】

本発明のメモリ素子では、前記トランジスタにおけるソース電極の表面と、ゲート電極の表面と、ドレイン電極の表面とが同一の高さにあってもよい。

【0018】

本発明のメモリ素子では、前記トランジスタが、マルチゲート型トランジスタであってもよい。

【0019】

本発明のメモリ素子では、前記メモリーセルが、不揮発性の固体メモリであってもよい。

【0020】

本発明のメモリ素子では、前記メモリーセルが磁性体を含み、前記制御部は、

前記磁性体に磁界を印加して前記磁性体の磁化状態を変化させることによって情報を記録する磁界発生部を含み、前記トランジスタは、前記磁性体の前記磁化状態に応じて電氣的な出力が異なってもよい。

【0021】

本発明のメモリ素子では、前記磁界発生部が、磁界を誘起する配線を含んでもよい。

【0022】

本発明のメモリ素子では、前記磁性体が、フェリ磁性材料、希土類-遷移金属系磁性材料、フェライトおよび遷移金属を含む酸化物からなる強磁性材料から選ばれる少なくとも1種の材料を含んでもよい。

【0023】

本発明のメモリ素子では、前記磁性体が、保磁力の異なる複数の成分を含む多元系の磁性材料からなる磁性体であってもよい。

【0024】

本発明のメモリ素子では、前記磁性体の飽和磁化の値が極大となる温度が、80℃～300℃の範囲であってもよい。

【0025】

本発明のメモリ素子では、前記磁性体のキュリー温度が、100℃以上であってもよい。

【0026】

本発明のメモリ素子では、前記磁性体が、前記磁性体の前記検知回路に面している面に対して垂直な方向に磁束の成分を有していてもよい。

【0027】

本発明のメモリ素子では、複数の前記メモリーセルを含んでもよい。

【0028】

本発明のメモリ素子では、前記メモリーセルが、前記トランジスタの1つのチャネルに対応して複数配置されていてもよい。

【0029】

本発明のメモリ素子では、前記複数のメモリーセルの各々に対応した前記制御

部を含んでいてもよい。

【0030】

次に、本発明のメモリは、上記いずれかに記載のメモリ素子と、前記メモリ素子に情報を記録するための情報記録用導体線と、前記情報を読み出すための情報読出用導体線を含んでいる。

【0031】

本発明のメモリでは、複数の前記メモリ素子を含み、前記複数のメモリ素子がマトリクス状に配置されていてもよい。

【0032】

本発明のメモリでは、前記メモリ素子の電気的な出力を参照するための素子を含んでいてもよい。

【0033】

次に、本発明のメモリ素子の製造方法は、

(i) 複数のチャンネルと、少なくとも2つの前記チャンネルの上方に配置され、前記少なくとも2つのチャンネルに対応する1つのゲート電極とを含むトランジスタを含む検知回路を、半導体基板の表面に形成する工程と、

(ii) メモリーセルと前記半導体基板とによって前記検知回路を挟むように、前記メモリーセルを前記検知回路の近傍に形成する工程と、

(iii) 前記メモリーセルの近傍に、前記メモリーセルに情報を記録する制御部を形成する工程とを含み、

前記(ii)の工程において、前記メモリーセルは、前記チャンネルに対応するように形成される。

【0034】

本発明のメモリ素子の製造方法では、前記トランジスタが、前記複数のチャンネルの上方に配置された1つのゲート電極を有していてもよい。

【0035】

本発明のメモリ素子の製造方法では、前記トランジスタがMOSトランジスタであってもよい。

【0036】

本発明のメモリ素子の製造方法では、前記トランジスタにおけるソース電極の表面と、ゲート電極の表面と、ドレイン電極の表面とが同一の高さにあってもよい。

【0037】

本発明のメモリ素子の製造方法では、前記メモリーセルが磁性体であり、前記(ii)の工程において、前記メモリーセルを、前記メモリーセルから生じる磁束を前記検知回路が検知するように前記検知回路の近傍に形成してもよい。

【0038】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。なお、以下の実施の形態において、同一の部分については同一の符号を付して重複する説明を省略する場合がある。

【0039】

最初に、本発明のメモリ素子について説明する。

【0040】

本発明のメモリ素子は、情報を保持するメモリーセルと、メモリーセルに情報を記録する制御部と、メモリーセルから情報を読み出す検知回路とを含んでいる。また、検知回路は、メモリーセルから独立している。

【0041】

従来の代表的なメモリである半導体メモリ（例えば、DRAM、SRAMなど）では、情報の記録および読み出しを行う回路内に、情報を記録する領域が形成されている。例えば、DRAMでは、集積回路中に形成されたコンデンサに電荷を蓄えることによって情報が記録され、コンデンサから電荷を取り出すことによって情報が読み出される。SRAMでは、集積回路中の双安定回路によって情報の記録／読み出しが行われる。また、磁気抵抗効果を利用したメモリであるMRAMでは、磁気抵抗効果を発生する多層構造が、記憶媒体であると同時に読み出し部を兼ねている。

【0042】

これに対して、本発明のメモリ素子では、メモリーセルに蓄えられた情報は、

メモリーセルとは独立した検知回路から読み出される。このため、記録および読み出し特性が安定したメモリ素子とすることができる。また、メモリーセルに用いる材料やメモリーセルの構成を選択したり、検知回路の構成を選択したりすることによって、様々な効果をさらに選択することも可能になる。上記効果の具体例については、明細書中にその都度述べることとする。

【0043】

メモリーセルは、メモリーセル自身に記録された情報に応じて、その物理的特性あるいは化学的特性が異なればよい。例えば、コンデンサ、相転移材料を含むメモリーセルであってもよいし、あるいは後述するような磁性体を含むメモリーセルであってもよい。例として磁性体を含むメモリーセルの場合、例えば、磁性体が、記録した情報に応じて磁化方向が異なればよい。検知回路は、例えば、メモリーセルの物理的あるいは化学的特性に応じて、電気的な出力が異なればよい。例えば、後述するように、トランジスタを含み、そのトランジスタがメモリーセルに記録された情報に応じて、電気的な出力が異なるトランジスタであればよい。本発明のメモリ素子の具体例については後述する。

【0044】

図1は、本発明のメモリ素子の一例を示す模式断面図である。図1に示すメモリ素子1は、情報を保持する複数のメモリーセル2と、メモリーセル2に情報を記録する制御部3と、メモリーセル2の近傍に配置され、かつ、メモリーセル2から情報を読み出す検知回路4とを含んでいる。また、検知回路4は、トランジスタ5を含んでいる。トランジスタ5は、複数のメモリーセル2に対応する複数のチャンネル6と、少なくとも2つのチャンネル（図1に示す例では、チャンネル6aおよび6bが少なくとも2つのチャンネルに相当する。チャンネル6cおよび6dについても同様）の上方に配置され、少なくとも2つのチャンネルに対応する1つのゲート電極（図1に示す例では、チャンネル6aおよび6bに対応するゲート電極7a。同様に、ゲート電極7bは、チャンネル6cおよび6dに対応する1つのゲート電極である）とを含むトランジスタである。また、メモリーセル2に記録された情報に応じてチャンネルの電気的特性（例えば、電気抵抗値）が異なることによって、トランジスタ5の電気的な出力が異なっている。トランジスタ5は半導

体基板 9 の表面に形成されている。なお、図 1 における S はソース電極、D はドレイン電極であり、説明を分かりやすくするためにハッチは省略する。以降の図においても同様である。また、チャンネル 6 a ~ 6 d は、ノーマリーオフのトランジスタ 5 の場合、ゲート電極 7 に所定の値以上の電圧を印加することによって形成される領域である。

【0045】

従来の代表的なメモリである半導体メモリ（例えば、DRAM、SRAM など）では、上述したような構成を有しているため、単位情報（1 ビット）ごとに（即ち、チャンネルごとに）少なくとも 1 つゲート電極を設ける必要があり、複数のチャンネルでゲート電極を共有することは困難であった。また、SRAM では、理論上、1 ビットの情報に対してトランジスタが 2 個必要である。即ち、1 ビットの情報に対してゲート電極は 2 個必要である。これらの理由から、従来のメモリでは、さらなる高集積化には制約があった。

【0046】

これに対して、本発明のメモリ素子では、情報が記録されるメモリーセル 2 と、メモリーセル 2 に記録された情報を読み出す検知回路 4 とが独立しているため、複数のチャンネル 6 の間でゲート電極 7 を共用することができる。このため、ゲート電極 7 への配線を減らすことができ、メモリ素子 1 内の配線を簡略化することができる。即ち、本発明のメモリ素子を用いることによって、より高集積のメモリを形成することも可能である。また、図 1 に示す例のように、トランジスタ 5 が、ゲート電極 7 と半導体基板との間に絶縁膜 8（ゲート絶縁膜）が配置された MOS トランジスタである場合、その製造過程において、絶縁膜 8 をエッチングなどによって除去する面積を少なくすることができる。絶縁膜 8 をエッチングする際には、多少なりともトランジスタ 5 がダメージを受ける可能性がある（例えば、エッチングによって形成された絶縁層 8 の端面が劣化する。ゲート電極 7 の端面からも劣化の可能性がある）ため、本発明のメモリ素子とすることによって、このようなダメージが抑制され、より特性の安定したメモリ素子とすることができる。

【0047】

また、本発明のメモリ素子では、メモリーセル1つにつき少なくとも1ビットの情報を記録することができるため、1つのトランジスタで多ビットの情報を検知することができる。よって、多値化されたメモリ素子とすることもできる。例えば、図1に示す例では、トランジスタ1つ、ゲート電極2つに対して少なくとも4ビットのメモリ素子とすることができる。

【0048】

なお、トランジスタ5中に含まれるチャネル6の数は特に限定されない。メモリ素子1として必要な特性に応じて任意に設定すればよい。また、ゲート電極7の数も特に限定されない。メモリ素子1として必要な特性に応じて任意に設定すればよい。さらに、1つのゲート電極7に対応するチャネル6の数も、少なくとも1つのゲート電極7が少なくとも2つのチャネル6に対応している限り、特に限定されない。メモリ素子1として必要な特性に応じて任意に設定することができる。

【0049】

メモリーセル2とトランジスタ5との距離は、メモリーセルに記録された情報に応じて、トランジスタ5の電気的な出力が異なる限り、特に限定されない。具体例は後述する。

【0050】

図2は、本発明のメモリ素子の別の一例を示す模式断面図である。図2に示すメモリ素子1では、トランジスタ5が、自らが含む複数のチャネル6a～6dの上方に配置された1つのゲート電極7を有している。その他の構成は、図1に示すメモリ素子1と同様である。

【0051】

このようなメモリ素子では、図1に示す例よりもさらにゲート電極の数を減らすことができる。このため、さらに特性の安定したメモリ素子とすることができる。また、このようなメモリ素子を用いることによって、より高集積のメモリを形成することも可能である。図2に示す例では、トランジスタ1つ、ゲート電極1つに対して少なくとも4ビットのメモリ素子とすることができる。

【0052】

本発明のメモリ素子では、メモリーセル 2 に記録された情報に応じて、トランジスタ 5 の電氣的な出力が異なればよいが、その電氣的な出力の種類は特に限定されない。例えば、メモリーセル 2 に記録された情報に応じて電気抵抗値が異なるトランジスタ 5 であればよい。このようなメモリーセル 2 とトランジスタ 5 との組み合わせの一例は、後述する。

【0053】

図 3 に本発明のメモリ素子のまた別の一例を示す。図 3 に示すメモリ素子 1 では、ゲート電極 7 とドレイン電極とが共通となっている。その他の構成は図 2 に示すメモリ素子 1 と同様である。このようなメモリ素子とすることによって、図 2 に示すメモリ素子 1 と同様の効果を得ることができる。また、ゲート電極 7 とドレイン電極とを共通にすることによって、さらに配線を簡略化したメモリ素子 1 とすることができる。なお、ゲート電極 7 とドレイン電極とは完全に一体化している必要はなく、ゲート電極 7 とドレイン電極とが等電位であればよい。

【0054】

図 4 に本発明のメモリ素子のさらにまた別の一例を示す。図 4 に示すメモリ素子 1 では、ゲート電極 7 と半導体基板 9 との間に配置されている（より具体的には、ゲート電極 7 とチャネル 6 a ~ 6 d との間に配置されている）絶縁層 8 の面積が、ゲート電極 7 の面積よりも大きい。その他の構成は図 2 に示すメモリ素子 1 と同様である。このようなメモリ素子とすることによって、図 2 に示すメモリ素子 1 と同様の効果を得ることができる。また、絶縁層 8 の面積をゲート電極 7 の面積よりも大きくすることによって、製造工程において絶縁層 8 をエッチングする面積を小さくすることができる。このため、より特性の安定したメモリ素子とすることができる。

【0055】

また、図 4 に示す例では、絶縁層 8 は、ソース電極およびドレイン電極の双方に接している。より具体的には、絶縁層 8 は、ソース電極およびドレイン電極が配置されている領域を除いたトランジスタ 5 の p-層、n+層の表面すべてに配置されている。また、絶縁層 8 は、チャネル 6 a ~ 6 d 上にも配置されている。このようなメモリ素子 1 では、製造工程において、絶縁層 8 をエッチングする面積

を最小限にすることができる。このため、より特性の安定したメモリ素子とすることができる。

【0056】

本発明のメモリ素子では、検知回路4が、複数のトランジスタ5を含んでいてもよい。このようなメモリ素子の一例を図5に示す。

【0057】

図5に示すメモリ素子1では、検知回路4が複数のトランジスタ5aおよび5bを含んでいる。また、隣り合った一組のトランジスタ5aおよび5bにおいて、一方のトランジスタ5aのゲート電極7と、他方のトランジスタ5bのソース電極とが共通であってもよい。このようなメモリ素子1とすることによって、上述した効果の他、各電極への配線をより簡略化することができる。このため、より高集積のメモリを形成することができる。

【0058】

検知回路4が複数のトランジスタ5を含む場合、その組み合わせ、配線の構造などは特に限定されない。検知回路4として必要な特性に応じて（またはメモリ素子1として必要な特性に応じて）任意に設定すればよい。

【0059】

図1～図5に示す例では、トランジスタ5のソース電極の表面と、ゲート電極7の表面と、ドレイン電極の表面とはほぼ同一の高さにある。このようなメモリ素子1は、同一の製造プロセスで形成できる（即ち、例えば、各電極を同一の工程で形成することもできる）ため、製造工程数の削減とコストダウンが可能になる。なお、ほぼ同一の高さとは、例えば、各電極の表面と、チャネルおよび n^+ 層の表面との距離の差が、 $10\text{ nm} \sim 100\text{ }\mu\text{m}$ の範囲にあることをいう。

【0060】

なお、図1～図5に示す例では、トランジスタ5はMOSトランジスタであるが、本発明のメモリ素子1では、トランジスタ5はMOSトランジスタに限定されない。チャネルと、チャネルに対応したゲート電極とを有するトランジスタである限り、一般的なトランジスタを用いることができる。また、図1～図5に示す例は、 n チャネル形トランジスタであるが、 p チャネル形トランジスタであっ

でもよい。その他、例えば、ゲート電極は金属であっても、ポリシリコン電極であってもよい。ゲート絶縁膜は、 SiO_2 からなる膜の他に、ハフニウムシリケート (HfSiON) などからなる膜であってもよい。また、検知回路4は、トランジスタ5の電氣的な出力の変化を検知するための回路をさらに含んでいてもよい。

【0061】

本発明のメモリ素子1では、トランジスタ5にマルチゲート型トランジスタを用いてもよい。短チャネル効果を抑制することができるため、メモリ素子をより微細化することができる。このため、より高集積のメモリを形成することができる。なお、マルチゲート型トランジスタとは、例えば、 FinFET に代表されるデュアルゲートトランジスタや、3重ゲート構造を有するトライゲートトランジスタであればよい。

【0062】

本発明のメモリ素子では、メモリーセル2が、不揮発性の固体メモリであってもよい。不揮発性のメモリ素子1とすることができる。以下、メモリーセル2が不揮発性の固体メモリである例を示す。

【0063】

図6は、本発明のメモリ素子1の一例を示す模式断面図である。図6に示すメモリ素子1では、メモリーセル2が磁性体11を含んでいる。また、制御部3は、磁性体11に磁界を印加して磁性体11の磁化状態を変化させることによって情報を記録する磁界発生部12を含んでいる。また、検知回路4はトランジスタ5を含み、トランジスタ5は磁性体11の磁化状態に応じて電氣的な出力が異なっている。例えば、磁性体11の磁化状態に応じて電気抵抗値が異なるトランジスタ5であればよい。

【0064】

このようなメモリ素子では、磁界発生部12で発生させた磁界によって、磁性体11の磁化状態（例えば、磁化方向13や磁化の大きさなど）を変化させることができる。例えば、磁界発生部12に電気信号を入力し、入力した電気信号に対応した磁界を磁性体11に印加すれば、磁性体11の磁化状態を上記電気信号

に対応した磁化状態とすることができる。磁性体 11 の磁化状態は、先ほどと方向などが異なり、しかも、磁性体 11 の保磁力よりも大きい磁界が磁界発生部 12 によって磁性体 11 に新たに印加されるまで変化しない。また、トランジスタ 5 によって、磁性体 11 の磁化状態に応じて異なる電気信号を出力することができる。即ち、図 6 に示す構成とすることによって、メモリーセル 2 である磁性体 11 を記憶媒体、磁界発生部 12 を記憶媒体に情報を記録する書き込み部、検知回路 4 を記憶媒体に記録された情報を再生する読み出し部とするメモリ素子とすることができる。

【0065】

従来の代表的な RAM である半導体メモリの構成とは異なり、図 6 に示すメモリ素子 1 では、記憶媒体である磁性体 11 に、磁性体 11 の磁化状態の形で情報が保存される。このため、繰り返し記録、再生を行った場合にも特性が安定したメモリ素子とすることができる。また、磁性体 11 の磁化状態が変化する速度は、磁性体 11 の構成、磁界発生部 12 の構造および構成などによっては、100 msec ~ 1 psec 程度のオーダーとすることが可能である。このため、書き込み速度に優れるメモリ素子とすることができる。また、磁性体 11 に用いる磁性材料を選択することによって、耐熱性などの耐環境特性に優れるメモリ素子や、記録した情報の不揮発性に優れるメモリ素子、出力特性に優れるメモリ素子、生産性に優れるメモリ素子など、特性を選択したメモリ素子とすることもできる。磁性体 11 の具体例とその効果については、後述する。

【0066】

また、図 6 に示すメモリ素子 1 の構成は、MRAM の構成とも異なっている。MRAM では、メモリ素子 1 と同様に、磁性体の磁化状態の形で情報が保存される。しかし、MRAM では、非磁性層と、その非磁性層を挟持する一対の磁性層を含む多層構造が必要であるのに対して（MRAM では、上記一対の磁性層における磁化方向の相対角度の形で情報が保存される）、メモリ素子 1 では、このような多層構造は必ずしも必要ではない。最も単純な例では、例えば、磁性体 11 が単一の磁性材料からなる一層構造の磁性体であってもよい。また、MRAM のように多層構造にした場合の nm オーダーでの膜厚の制御も必ずしも必要ではな

い。このため、図6に示す構成とすることによって、特性が安定した、生産性に優れるメモリ素子とすることができる。なお、本明細書において、磁性層とは磁性材料を含む層であり、磁性体は少なくとも一層の磁性層を含んでいるとする。

【0067】

図6に示すメモリ素子1の各部分について説明する。

【0068】

トランジスタ5と磁性体11との距離は、磁性体11の磁化状態に応じて磁性体11から生じる磁束14がトランジスタ5によって検知できる限り、特に限定されない。磁性体11の磁性的な特性、トランジスタ5の特性などに応じて任意に設定すればよい。例えば、10nm～100μmの範囲、より好ましくは、50nm～1μmの範囲であればよい。

【0069】

トランジスタ5は、Siなどからなる半導体基板9の表面に形成することができるため、本発明のメモリ素子1は、一般的な半導体加工プロセスを用いて製造することができる。このため、量産性に優れ、低コストで製造が可能なメモリ素子1とすることができる。

【0070】

半導体基板9は、その表面にトランジスタ5を形成できる限り、特に限定されない。例えば、結晶シリコンからなる半導体基板を用いればよい。IIb族元素、IIIb族元素、Vb族元素、VIb族元素などの不純物をドーピングした半導体基板であってもよい。その他、半導体基板としては、例えば、Ga₂N、GaP、GaAsなどのIIIb族元素およびVb族元素を含む化合物半導体からなる基板を用いてもよい。また、ZnS、ZnSeなどのIIb族元素およびVIb族元素を含む化合物半導体からなる基板を用いてもよい。また、絶縁層を含むSOI (Silicon on insulator) 基板であってもよい。

【0071】

なかでも、結晶シリコンからなる半導体基板を用いた場合、従来の半導体加工プロセスを用いて大口径シリコンウェハを一括処理すれば、同一ウェハ上に大量のメモリ素子を同時に形成することもできる。このため、より量産性に優れ

るメモリ素子とすることができる。また、SOI基板を用いた場合、トランジスタの小型化が可能となり、より小型のメモリ素子を得ることができる。なお、半導体基板9の厚さは、特に限定されない。

【0072】

図6に示す例では、絶縁体10が配置されている。絶縁体10を配置することによって、各部分間の電氣的な絶縁を保つことができる。絶縁体10としては、例えば、 SiO_2 、 SiN 、 ZnS 、 ZnS-SiO_2 、その他、カルコゲン化合物、 TaO_2 などの酸化物、 AlN などの窒化物、あるいは、複数のこれらの化合物を含む材料などを用いればよい。なお、絶縁体10は必ずしも必要ではなく、必要に応じて各部分に配置すればよい。

【0073】

ここで、検知回路4がトランジスタ5を含む場合、磁性体11から生じる磁束14によってトランジスタ5の電気抵抗値が異なる原理について説明する。図7は、図6に示すトランジスタ5を、磁性体11の側から見た模式図である。トランジスタ5のゲート電極7に所定の値以上の電圧を加えれば、ゲート電極7近傍のp-領域にチャネル6a~6dが形成される。チャネル6a~6dが形成されることによって、ドレイン電極側からソース電極側へ電流15が流れることになる。ここで、磁性体11から生じる磁束がチャネル6a~6dに加わっていない場合、図7(a)に示すように、電流15はチャネル6a~6dを介してほぼまっすぐにソース電極へと流れる。これに対し、磁束がトランジスタ5に加わると、図7(b)に示すように、磁束と電流とが相互作用し、電流が流れる方向が変化する(電流に対してローレンツ力が働く)。この変化の度合いは、トランジスタ5に加わる磁束の状態によって異なる。例えば、磁束の大きさが大きくなれば、電流が流れる方向の変化の度合いも大きくなる。また、電流が流れる方向が変化する度合いが大きいほど、電流の程路長が大きくなると考えられる。即ち、トランジスタ5に加わる磁束の状態に応じて電流の程路長に差が生じることによって、トランジスタ5の電気抵抗値が変化するといえる。このため、図6に示すメモリ素子1において、チャネル6a~6dに対応する磁性体11a~11dの磁化状態(例えば、磁化方向13a~13d)が各々異なれば、それに応じてチャ

ネル 6a～6dに加わる磁束 14a～14dも各々異なり、トランジスタ 5の電気抵抗値は様々に変化しうる。図 6に示す例では、磁性体 11は 4つ配置されているので、トランジスタ 5の電気抵抗値の閾値を適正に設定すれば、最低 4ビットを表現できる多値化されたメモリ素子 1とすることができる。なお、この説明からわかるように、メモリーセルと、トランジスタのチャネルとが「対応している」とは、メモリーセルおよびトランジスタのチャネルが、相互作用を有する位置に配置されていることをいう。また、相互作用とは、トランジスタの電気的な出力（例えば、電気抵抗値）を変化させることができる作用をいう。

【0074】

なお、トランジスタ 5の電気抵抗値の変化の度合いは、例えば、磁性体 11の磁化状態（磁化方向 13や磁化の大きさなど）、磁性体 11とトランジスタ 5との距離、磁性体 11およびトランジスタ 5の大きさ、磁性体 11とトランジスタ 5との位置関係などを調節することによって制御することができる。また、トランジスタ 5の電気抵抗値の変化の度合いに応じて、上記閾値を設定すればよい。

【0075】

次に、磁界発生部 12について説明する。

【0076】

図 6に示すメモリ素子 1において、磁界発生部 12は、磁性体 11に磁界を印加することによって磁性体 11の磁化状態（例えば、磁化方向 13や磁化の大きさなど）を変化させることができる限り、その構造、構成などは特に限定されない。磁性体 11の磁性的な特性、磁性体 11のサイズ、磁性体 11との距離などに応じて任意に設定すればよい。

【0077】

本発明のメモリ素子の別の一例を図 8に示す。図 8に示すメモリ素子 1は、磁界発生部 12が磁界を誘起する配線 15を含んでいる。このようなメモリ素子 1では、配線 15に電流を流すことによって磁界を発生させ、磁性体 11の磁化状態を変化させることができる。例えば、配線 15に流す電流の方向を反転させれば、磁性体 11の磁化方向を容易に反転させることができる。また、配線 15に流れる電流は、回路の構成によっては、100ns～1psecのオーダーで変

化させることができる（即ち、磁性体 11 の磁化状態を同等の速度で変化させることができる）ため、書き込み速度に優れるメモリ素子とすることができる。

【0078】

配線 15 に用いる材料は、導電性材料である限り、特に限定されない。例えば、W、Cu、Ag、Au、AlTi、Al、Pt などを含む材料や、これらの材料から選ばれる少なくとも 1 種を含む合金材料などを用いればよい。また、配線 15 の太さ、形状などは特に限定されない。メモリ素子として必要な特性に応じて、任意に設定すればよい。太さは、例えば、断面積にして $100\text{ nm}^2 \sim 1\text{ m m}^2$ の範囲である。形状は、例えば、その断面が矩形状、円状、楕円状、台形状などであればよい。より具体的には、その断面が矩形状である場合、その長辺が $10\text{ nm} \sim 100\text{ }\mu\text{ m}$ の範囲、短辺が $1\text{ nm} \sim 50\text{ }\mu\text{ m}$ の範囲である。この場合、長辺および短辺のどちらが磁性体 11 に面していてもよい。

【0079】

配線 15 と磁性体 11 との距離は、磁性体 11 の磁化状態を変化させることができる限り、特に限定されない。メモリ素子として必要な特性に応じて、任意に設定すればよく、例えば、 $100\text{ }\mu\text{ m}$ 以下の範囲であり、好ましくは、 $10\text{ }\mu\text{ m}$ 以下の範囲である。また、配線 15 と磁性体 11 とが接していてもよく、この場合、配線 15 において発生した磁界をより効率よく磁性体 11 に印加することができる。このため、書き込み速度がより高速なメモリ素子とすることができる。なお、上述したが、配線 15 と磁性体 11 とが直接接することによって、電気的な短絡などの問題が発生する場合には、配線 15 と磁性体 11 との間に絶縁体などの別の材料を配置してもよい。また、配線 15 と磁性体 11 との間に、有機材料や気泡など配置することによって絶縁を保ってもよい。このとき、気泡を真空にする、あるいは、気泡に不活性ガスを封入すれば、より絶縁性を向上させることができる。

【0080】

また、配線 15 の磁性体 11 に対する位置は、磁性体 11 に磁界を印加でき、かつ、磁性体 11 から生じる磁束がトランジスタ 5 に到達するのを妨げない限り、特に限定されない。図 8 に示すように、磁性体 11 の側方に配置されていても

よいし、配線 15 とトランジスタ 5 とによって磁性体 11 を挟持する位置に配置されていてもよい。

【0081】

また、図 8 に示すメモリ素子 1 では、配線 15 は磁性体 11 の周囲にコイル状に捲回して配置されている。このようなメモリ素子では、より効率よく磁性体 11 に磁界を印加することができる。このため、より書き込み特性に優れるメモリ素子とすることができる。

【0082】

配線 15 をコイル状に捲回する形状は、磁性体 11 に磁界を印加できる限り、特に限定されない。例えば、図 9 (a) および図 9 (b) に示すように、磁性体 11 を捲回してもよい。なお、図 9 は、図 8 に示すメモリ素子 1 を上方 (図 8 に示す矢印 A の方向) から見た図であり、図 9 では、磁性体 11 と配線 15 以外の部分は省略している。

【0083】

また、図 9 に示す配線 15 は、薄膜を加工して形成した配線であってもよい。例えば、配線 15 を構成する材料からなる薄膜を形成し、エッチングなどによりコイルの形状を形成すれば、薄膜を加工して形成したコイル状の配線 15 を得ることができる。このようなコイル状の配線 15 は、集積が容易で、また、形状の自由度が高いため、より効率よく磁性体 11 に磁界を印加することができる。このため、より書き込み特性に優れるメモリ素子とすることができる。なお、この場合、薄膜の厚さは、例えば、 $1\text{ nm} \sim 100\text{ }\mu\text{m}$ の範囲である。コイルが矩形状である場合、形成した薄膜の厚さを、コイルの一辺の長さとすることができる。

【0084】

次に、磁性体 11 について説明する。

【0085】

磁性体 11 は、少なくとも 1 層の磁性層を含んでいればよい。ここで、磁性層とは、磁性材料を含む層である。磁性体 11 に含まれる磁性層の厚さ、層の数などは、磁性体 11 として必要な特性に応じて任意に設定すればよい。例えば、単

一の磁性材料からなる一層構造の磁性体であってもよいし（この場合は、磁性層＝磁性体である）、組成の異なる磁性層を複数積層して磁性体としてもよい。組成の異なる磁性層を複数含む磁性体とすることによって、より詳細に特性を制御したメモリ素子とすることができる。また、必要に応じて、磁性体 11 が、磁性層以外の層（例えば、非磁性層など）を含んでいてもよい。

【0086】

磁性体 11 の形状は、特に限定されない。また、1つのメモリ素子 1 に含まれる磁性体 11 の数も特に限定されない。多値化の程度や、トランジスタ 5 の形状などに応じて、任意に設定すればよい。

【0087】

磁性体 11 のトランジスタ 5 に面している面に対して垂直な方向における磁性体 11 の厚さは、特に限定されない。例えば、 $1\text{ nm} \sim 100\text{ }\mu\text{m}$ の範囲であればよく、 $10\text{ nm} \sim 20\text{ }\mu\text{m}$ の範囲が好ましい。磁性体 11 のトランジスタ 5 に面している面の面積は、特に限定されない。例えば、 $10\text{ }\mu\text{m}^2$ 以下であればよく、 $20\text{ nm}^2 \sim 2\text{ }\mu\text{m}^2$ の範囲が好ましい。なお、加工ルールの最小値は、数 $\text{nm} \times$ 数 nm であり、このように微細加工した場合には、磁性体の厚さが薄いほど、より特性の安定したメモリ素子とすることができる。また、上記厚さが薄いほど、また、上記面積が小さいほど、より小型のメモリ素子とすることができる。メモリ素子が小型であるほど、より高集積のメモリとすることができる。

【0088】

磁性体 11 に用いる磁性材料は、特に限定されない。例えば、フェリ磁性を有する磁性材料（フェリ磁性材料）あるいは強磁性を有する磁性材料（強磁性材料）を用いればよい。これらの磁性材料を用いた場合、磁界発生部 12 による磁性体 11 の磁化状態の変化をより容易に行うことができ、より書き込み特性に優れたメモリ素子 1 とすることができる。なかでも、フェリ磁性材料を用いた場合、磁性体 11 のトランジスタ 5 に面する面に対して垂直な方向に磁気異方性を付与できるため、磁性体 11 から生じる磁束をより大きくすることができ、より特性に優れたメモリ素子とすることができる。また、磁性体 11 に適度な保磁力を有する磁性材料（例えば、保磁力が、 $80\text{ A/m} \sim 3000\text{ A/m}$ の範囲の材料）

を用いれば、磁界発生部 12 による作用が無くなった後でもより不揮発的に磁化状態を保つことができる。即ち、より不揮発性に優れるメモリ素子 1 とすることができる。

【0089】

フェリ磁性材料は、特に限定されず、例えば、希土類-遷移金属系磁性材料、フェライトなどを用いればよい。また、強磁性材料は、特に限定されず、遷移金属を含む酸化物からなる磁性材料などを用いればよい。

【0090】

より具体的には、例えば、 $GdFeCoAl$ 、 $GdFeCoCr$ 、 $TbDyFeCoAl$ 、 $TbDyFeCr$ 、 $TbFeCoCr$ 、 $TbHoFeCoAl$ 、 $TbFeCo$ 、 $TbHoFeCo$ 、 $TbFeCoCr$ 、 $FeCoCr$ 、 $GdFeCoCr$ 、 $TbFe$ 、 $TbHoFe$ 、 $TbCo$ 、 $GdCo$ 、 $GdTbFe$ 、 $GdTbFeCo$ 、 $GdTbHoFeCo$ 、 $DyFeCo$ 、 $GdFeCoS$ などの希土類-遷移金属系磁性材料（例えば、非晶質の形態）、あるいは、 $MnBi$ 、 $MnBiAl$ 、 $PtMnSn$ などのMn系磁性材料（例えば、多結晶の形態）、あるいは、ガーネット、 $PtCo$ 、 $PdCo$ 、 $PtFe$ などの白金族-遷移金属系磁性材料（例えば、合金の形態）、あるいは、 Pt/Co 、 Pd/Co 、 Pt/Fe などの金、白金族-遷移金属系磁性材料（例えば、周期構造合金の形態）、あるいは Fe フェライト、 αFe 、 Co フェライト、 $NiZn$ フェライト、 Co フェライト酸化物などのフェライトなどを用いればよい。これらの材料を単独で用いて磁性体 11 を形成してもよいし、それぞれの磁性材料からなる磁性膜を複数積層して磁性体 11 を形成してもよい。なお、上述の磁性材料の組成比は特に限定されない。また、磁性体 11 の耐食性を改善するなどのために、上述の磁性材料とは別に、 Cr 、 Al 、 Ti 、 Pt 、 Nb などの元素が磁性体に添加されていてもよい。

【0091】

本発明のメモリ素子では、磁性体 11 が、保磁力の異なる複数の成分を含む多元系の磁性材料（例えば、希土類-フェライト磁性材料など）を含んでいてもよい。より具体的には、例えば、 $SmCo$ 、 $NdFeB$ 、 $SmFeN$ などを含んで

いてもよい。このような磁性体 11 を用いた場合、トランジスタ 5 にオフセット磁界を印加することができる。このため、磁性体 11 の磁化状態に応じたトランジスタの電氣的な出力の変化をより大きくすることができ、より読み出し特性に優れるメモリ素子 1 とすることができる。なお、オフセット磁界およびその効果については、後述する。

【0092】

本発明のメモリ素子では、磁性体 11 の飽和磁化の値が極大となる温度が 80℃～300℃の範囲であってもよい。このような磁性体を用いた場合、80℃以上の高温においても特性の劣化が少ない、耐熱性に優れるメモリ素子 1 とすることができる。このような磁性体は、例えば、 $TbFeCo$ 、 $DyFeCo$ 、 $TbGdFeCo$ などである。

【0093】

一般に、磁性材料の飽和磁化 (M_S) の値は温度によって変化し、なかでもフェリ磁性材料の場合、固有の温度領域で極大となる。図 10～図 12 に、温度に対する磁性材料の飽和磁化 (M_S) の値の変化の例を示す。

【0094】

図 10 に示す例では、およそ 0℃において飽和磁化の値が極大となっている。図 11 に示す例では、およそ -50℃において飽和磁化の値が極大となっている。また、図 12 では、およそ 120℃において飽和磁化の値が極大となっている。磁性材料例 (a) と、およそ 250℃程度まで飽和磁化の値がほぼ一定であり、キュリー温度が 500℃以上の磁性材料例 (b) とを示している。磁性体 11 のトランジスタ 5 に面する面に対して垂直な方向に磁化を有する材料では、飽和磁化の値が大きいほど、磁性体 11 から生じる磁束が大きいと考えられるため、図 10 に示す磁性材料の例では、およそ 0℃において磁性体 11 から生じる磁束が最も大きくなると考えられる。即ち、図 10 に示す磁性材料を含む磁性体 11 とすることによって、0℃付近において特性の劣化が少ないメモリ素子とすることができる。また、同様に、図 11 に示す磁性材料を含む磁性体 11 とすることによって、-40℃程度以下での低温での特性に優れるメモリ素子とすることができる。同様に、図 12 に示す磁性材料を含む磁性体 11 とすることによって、1

00℃程度以上の高温での特性に優れるメモリ素子とすることができる。

【0095】

図10および図11に示すような飽和磁化の変化を示す磁性材料は、例えば、遷移金属リッチな組成のTbFeCo、TbDyFeCoなどである。また、図12に示すような飽和磁化の変化を示す磁性材料は、例えば、TbFeCo、GdTbFeCoなどである。また、本発明のメモリ素子では、これら飽和磁化が極大となる温度が異なる磁性材料を複数組み合わせた磁性体であってもよい。異なる磁性材料を組み合わせる比率は、磁性体として必要な特性に応じて任意に設定すればよい。

【0096】

本発明のメモリ素子では、磁性体のキュリー温度が100℃以上であってもよく、好ましくは300℃以上であってもよい。このような磁性体を用いた場合、図12に示すように、100℃程度以上の高温での特性に優れるメモリ素子とすることができる。

【0097】

また、本発明のメモリ素子は、磁性体のキュリー温度以上の高温を付加することによって、記録した情報を消去できるメモリ素子とすることもできる。なお、この場合、素子をキュリー温度以下の温度に戻せば、再びメモリ素子として使用することができる。例えば、磁性体のキュリー温度が100℃である場合、100℃程度の温度を付加することによって素子が記録した情報を消去することができる。このため、情報の一括消去が容易に行えるメモリ素子とすることができる。

【0098】

本発明のメモリ素子では、磁性体11が、磁性体11のトランジスタ5に面している面に対して垂直な方向に磁束の成分を有していてもよい。即ち、磁性体11が、トランジスタ5を流れる電流の方向に対して垂直な方向に磁束の成分を有していてもよい。トランジスタ5を流れる電流とは、より具体的には、例えば、ドレイン電極とソース電極との間を流れる電流である。また、トランジスタ5を流れる電流の方向に対して垂直な方向とは、例えば、ドレイン電極とソース電極

とを含む面に対して垂直な方向である。

【0099】

上述したように、トランジスタ5を流れる電流と磁性体11から生じる磁束14とが相互作用することによって、トランジスタ5の電氣的な出力が変化する。その相互作用は、上記電流の流れる方向と磁束14の方向とが直交する場合に最も大きくなる。よって、このような磁性体11とすることによって、よりトランジスタ5の電氣的な出力の変化が大きい、読み出し特性に優れるメモリ素子1とすることができる。

【0100】

本発明のメモリ素子では、磁性体11が、W、Ti、TiWなどの金属膜で被覆されていてもよい。これらの金属膜によって、磁性体11を保護し、磁性体11と、磁性体11の周囲に配置されている材料との相互作用を抑制することができる。このため、より特性が安定したメモリ素子1とすることができる。なお、上記金属膜は、磁性体11の表面のすべてを被覆している必要はなく、磁性体11の表面における必要な領域のみ被覆していればよい。

【0101】

本発明のメモリ素子の別の一例を図13に示す。図13に示すメモリ素子1は、トランジスタ5にオフセット磁界を印加する磁界発生部（以下、オフセット磁界発生部、という）16をさらに含んでいる。このような構成とすることによって、よりトランジスタ5の電氣的な出力の変化が大きい、読み出し特性に優れるメモリ素子1とすることができる。ここで、オフセット磁界とその効果について説明する。

【0102】

本発明におけるオフセット磁界とは、トランジスタ5に対して、一定の強さおよび方向で加えられる磁界のことである。例えば、図13に示す磁束 B_A がこれに相当する。一般に、トランジスタに磁束を印加した場合、トランジスタの電気抵抗値は2次曲線に従って変化する。トランジスタの電気抵抗値の変化の一例を図14(a)および図14(b)に示す。

【0103】

ここで、磁性体 11 からトランジスタ 5 に加えられる磁束が B_B から $-B_{B'}$ の範囲で変化するとすると（磁束 B_A の方向を正とし、また、トランジスタ 5 を流れる電流に対して垂直な方向に磁束 B_A 、 B_B および $B_{B'}$ が加えられるものとする）、オフセット磁界を加えない場合、図 14 (a) に示すように、2 次曲線の原点付近でトランジスタの抵抗変化率 ΔR が得られることになる（即ち、 $\Delta R = |R_B - R_{B'}| / R_0$ ）。これに対して、オフセット磁界である磁束 B_A をトランジスタ 5 に加えた場合、図 14 (b) に示すように、2 次曲線の原点から磁束 B_A だけずれた点を中心に、トランジスタの抵抗変化率 ΔR が得られる（即ち、 $\Delta R = ((R_A + R_B) - (R_A - R_{B'})) / R_A$ ）。2 次曲線の変化率は、原点から離れるほど大きくなる。このため、磁性体 11 からトランジスタ 5 に加えられる磁束の変化量が同じ場合でも、トランジスタ 5 にオフセット磁界を印加する方が、より大きな抵抗変化率を得ることができる。

【0104】

オフセット磁界の方向および大きさは、特に限定されない。磁性体 11 の磁性的な特性、トランジスタ 5 との距離などに応じて、任意に設定すればよい。例えば、磁性体 11 のトランジスタ 5 に面している面に対して垂直な方向に成分を有する磁束であってもよい。即ち、トランジスタ 5 を流れる電流の方向に対して垂直な方向に成分を有する磁束であってもよい。また、その成分の大きさは、例えば、1 mT ~ 10 T の範囲であればよい。

【0105】

オフセット磁界発生部 16 の位置は、磁性体 11 から生じる磁束がトランジスタ 5 に到達するのを妨げず、また、磁界発生部である配線 15 から磁性体 11 に印加する磁界を妨げない限り、特に限定されない。例えば、図 13 に示すように、オフセット磁界発生部 16 とトランジスタ 5 とによって磁性体 11 を挟持するように配置されていてもよい。この場合、オフセット磁界をより効率よくトランジスタ 5 に印加することができ、読み出し特性に優れるメモリ素子とすることができる。また、この場合、オフセット磁界発生部 16 の大きさ（例えば、膜厚）を任意に設定することができるため、必要なオフセット磁界を容易に得ることができる。

【0106】

オフセット磁界発生部16の構成および構造は、トランジスタ5に一定の強さおよび方向でオフセット磁界を加えられる限り、特に限定されない。例えば、オフセット磁界発生部16が、磁性体11のトランジスタ5に面している面に対して垂直な方向に磁束の成分を有する強磁性体を含んでいてもよい。即ち、オフセット磁界発生部16が、トランジスタ5を流れる電流の方向に対して垂直な方向に磁束の成分を有する強磁性体を含んでいてもよい。この場合、オフセット磁界を発生させるために電力が不要であり、より消費電力の少ないメモリ素子1とすることができる。強磁性体は、例えば、NdFeB、SmFeN、NdFeAlなどを用いればよい。

【0107】

また、オフセット磁界発生部16に含まれる強磁性体は、その磁化方向が一方向に着磁されていてもよい。この場合、オフセット磁界がより安定するため、より特性の安定したメモリ素子とすることができる。

【0108】

また、図13に示すメモリ素子1では、軟磁性体からなるステム17と軟磁性体からなるシールド18とをさらに含んでいる。ステム17は、半導体基板9のトランジスタ5および磁性体11に面する面とは反対側に、シールド18は、オフセット磁界発生部16のトランジスタ5および磁性体11に面する面とは反対側に配置されている。このようなメモリ素子では、シールド18とステム17とを含む閉磁路を形成することができるため、外部からのノイズなどに強く、また、特性に優れるメモリ素子とすることができる。

【0109】

ステム17およびシールド18を配置する領域の大きさは、特に限定されない。必要に応じて、任意に設定すればよい。例えば、メモリ素子1の全体、あるいはトランジスタ5の全体を覆うようにステム17およびシールド18を配置してもよい。なお、ステム17およびシールド18は、必ずペアである必要はなく、どちらか一方のみを配置してもよい。

【0110】

また、ステム 17 を配置する位置は、メモリ素子 1 としての機能が維持できる限り、特に限定されない。例えば、トランジスタ 5 の磁性体 11 に面する面とは反対側に配置されていてもよい。同様に、シールド 18 を配置する位置は、メモリ素子 1 としての機能が維持できる限り、特に限定されない。例えば、シールド 18 とトランジスタ 5 とによって磁性体 11 を挟持するように配置されていてもよい。

【0111】

ステム 17 およびシールド 18 の厚さは、特に限定されない。また、磁性体 11 の近傍とその他の領域とで厚さを変更してもよい。

【0112】

ステム 17 およびシールド 18 に用いられる材料は、特に限定されない。例えば、Fe、パーマロイなどに代表される、Fe、Co および Ni から選ばれる少なくとも 1 種を含む合金、混合材料などを用いればよい。

【0113】

さらに、図 13 に示すメモリ素子 1 では、全体を囲むようにパッケージ 19 が配置されている。パッケージ 19 を配置することによって、メモリ素子 1 の全体に耐衝撃性を与えたり、メモリ素子 1 の内部への埃などの侵入を抑制したりできる。パッケージ 19 に用いる材料は、特に限定されない。例えば、エポキシアクリレート樹脂、ウレタン樹脂、その他、紫外線硬化型樹脂、熱硬化型樹脂、ホットメルト系接着剤などを用いればよい。また、これらを組み合わせて用いてもよい。なお、本発明のメモリ素子 1 では、オフセット磁界発生部 16、ステム 17、シールド 18 およびパッケージ 19 は、すべてを一度に配置する必要はなく、必要に応じて選択的に配置すればよい。

【0114】

本発明のメモリ素子の別の一例を図 15 に示す。図 15 に示すメモリ素子 1 は、複数のメモリーセル 2 として磁性体 11 を複数含んでいる。また、メモリーセル 2 である複数の磁性体 2 は、トランジスタ 5 の 1 つのチャネル 6 に対応して複数配置されている（例えば、図 15 に示す例では、チャネル 6a に対して磁性体 11e および 11f）。また、複数の磁性体 11 の各々に対応した制御部（磁界

発生部)として配線15を含んでいる。このようなメモリ素子1では、それぞれの磁性体11の磁化状態を、それぞれの磁性体11に対応した配線15によって個別に制御することができる。このため、さらに多ビット化、多値化されたメモリ素子1とすることができる。

【0115】

この場合、1つのチャンネル6に対応する磁性体11間の距離(例えば、磁性体11eと11fとの距離)は、例えば、1nm~10 μ mの範囲であればよい。

【0116】

また、磁界発生部は、図15に示すような配線15に限らず、それぞれの磁性体11の磁化状態を変化させることができる限り、特に限定されない。また、1つ1つの磁性体11に対応した配線15を配置するのではなく、磁性体11をいくつかのグループに分別し、それぞれのグループに対応した配線15を配置してもよい。なお、図15に示す例では、磁性体11の間に絶縁体10が配置されているが、必要に応じて別の機能を有する層を配置してもよい。また、その層は一層に限らず、特性が異なる複数の層を配置してもよい。

【0117】

また、1つのチャンネル6に対応する磁性体11の数は、図15に示す2つに限らず、任意に設定することができる。ただし、トランジスタ5の電気抵抗値を変化させるためには、トランジスタ5から最も遠い位置にある磁性体11と、トランジスタ5との距離は、例えば、10nm~100 μ mの範囲程度である必要がある。

【0118】

本発明のメモリについて説明する。

【0119】

本発明のメモリ素子を用いたメモリの一例を図16に示す。図16に示すメモリ51では、メモリ素子1は、2本の直交するビット線52の交点にマトリクス状に配置されている。ビット線52は情報読出用導体線に相当し、2本の直交するビット線52に信号電流を流すことによって、メモリ素子1から情報を読み出すことができる。情報は、ON状態となったビット線52がクロスする位置に配

置されたメモリ素子（図16では、メモリ素子1a）から読み出される。信号のON、OFFは、デコーダ53および54によって制御することができる。

【0120】

また、図示していないが、図16に示すメモリ51では、メモリ素子1は、2本の直交するワード線の交点にもマトリクス状に配置されている。ワード線は情報記録用導体線に相当し、2本の直交するワード線に信号電流を流すことによって、メモリ素子1に情報を書き込むことができる。情報は、ON状態となったワード線がクロスする位置に配置されたメモリ素子に書き込まれる。読み込みの場合と同様に、信号のON、OFFはデコーダによって制御することができる。

【0121】

また、図16に示すメモリ51では、メモリ素子1の電気的な出力を参照するための素子55が少なくとも1つ配置されている。素子55は、メモリ素子1の電気的な出力の基準となる素子である。より具体的には、例えば、電気抵抗値の基準となるトランジスタを含む素子であればよい。さらに具体的には、このような素子として、例えば、消磁状態にあるメモリ素子を用いてもよい（即ち、複数のメモリ素子1のうち、少なくとも1つのメモリ素子1を消磁状態とすればよい）。このような素子を少なくとも1つ含むことによって、より相対精度に優れ、読み出し時に誤動作確率の少ないメモリとすることができる。

【0122】

なお、本発明のメモリでは、メモリ素子の配置方法などは、特に限定されない。例えば、半導体メモリなどの一般的なメモリで用いられているメモリ素子の配置方法を適用すればよい。また、各メモリ素子へのアドレスの割り振りなどの方法についても同様であり、例えば、一般的なメモリで用いられている方法を適用すればよい。例えば、ビット線とワード線を共用させたり、センス線をさらに配置したりしてもよい。

【0123】

図17を参照して、本発明のメモリ素子の動作についてさらに説明する。図17には、本発明のメモリ素子における読み出し動作の基本例が示されている。また、メモリ素子としては、図8に記載のメモリ素子1を想定している。

【0124】

図17に示すように、メモリ素子1の読み出し時には、ビット線52を通してトランジスタのドレイン電極（図17に示すD）からソース電極（図17に示すS）へと電流を流し、その際の抵抗を抵抗値測定回路によって検知することによって磁性体11a～11dに記録された情報が読み出される。ドレイン電極からソース電極への電流は、ゲート電極（図17に示すG）に所定の電圧以上の電圧を印加することによって、流すことができる。なお、図17に示すトランジスタでは、ドレイン電極とベース電極（図17に示すB）とが電氣的に接続されている。なお、本発明のメモリでは、メモリ素子の読み出し方法は、図17に示す例に限定されない。

【0125】

本発明のメモリ素子の製造方法について説明する。

【0126】

本発明のメモリ素子の製造方法は、

(i) 複数のチャネルと、少なくとも2つの前記チャネルの上方に配置され、前記少なくとも2つのチャネルに対応する1つのゲート電極とを含むトランジスタを含む検知回路を、半導体基板の表面に形成する工程と、

(ii) メモリーセルと前記半導体基板とによって前記検知回路を挟むように、前記メモリーセルを前記検知回路の近傍に形成する工程と、

(iii) 前記メモリーセルの近傍に、前記メモリーセルに情報を記録する制御部を形成する工程とを含んでいる。また、上記(ii)の工程において、前記メモリーセルは、前記チャネルに対応するように形成される。このような製造方法とすることによって、特性に優れるメモリ素子を得ることができる。

【0127】

本発明の製造方法では、トランジスタを含む検知回路の形成には、一般的なトランジスタおよび回路の形成方法を用いればよい。また、メモリーセルの形成にも、一般的な方法を用いればよい。例えば、メモリーセルが磁性体を含む場合、磁性材料の形成には、一般的な成膜手法（例えば、スパッタリング、真空蒸着など）を用いることができる。制御部の形成にも一般的な手法を用いればよい。例

例えば、制御部が、磁界発生部として配線を含む場合、配線材料の積層には、上記一般的な成膜手法を用いればよい。

【0128】

また、それぞれの工程において、形状を形成するための微細加工には、一般的な方法を用いればよい。例えば、フォトリソグラフィーの手法を用いてレジストを形成し、エッチングを行うことによって微細加工を行えばよい。その他、イオンミリングなど一般的な手法を用いることができる。

【0129】

また、本発明のメモリ素子の製造方法では、各部に用いる材料、各部の位置関係などは、上述した材料、位置関係などに従えばよい。例えば、メモリーセルが上述した磁性体であり、上記(ii)の工程において、メモリーセルを、メモリーセル(磁性体)から生じる磁束を検知回路が検知するように検知回路の近傍に形成してもよい。図6に示すような特性に優れるメモリ素子を得ることができる。

【0130】

本発明の製造方法では、トランジスタが、複数のチャネルの上方に配置された1つのゲート電極を有していてもよい。このような製造方法とすることによって、図2に示すような特性に優れるメモリ素子を得ることができる。

【0131】

また、本発明の製造方法では、トランジスタが、MOSトランジスタであってもよい。また、トランジスタにおけるソース電極の表面と、ゲート電極の表面と、ドレイン電極との表面とが同一の高さにあってもよい。

【0132】

本発明の製造方法では、メモリーセルが上述した磁性体であり、半導体基板が軟磁性体からなるステム上に形成されていてもよい。このような製造方法とすることによって、図13に示すような特性に優れるメモリ素子を得ることができる。

【0133】

本発明の製造方法では、メモリーセルが上述した磁性体であり、上記(iii)の工程の後に、

(a) 強磁性体からなる層を形成する工程をさらに含み、

その強磁性体は、磁性体のトランジスタに面している面に対して垂直な方向に磁束の成分を有していてもよい。このような製造方法とすることによって、図13に示すような、オフセット磁界発生部を有する、特性に優れるメモリ素子を得ることができる。なお、強磁性体を形成する方法は特に限定されない。例えば、磁性材料の形成方法と同様の手法を用いればよいし、必要に応じて、エッチングなどの微細加工を行ってもよい。

【0134】

本発明のメモリ素子の製造方法では、メモリーセルが上述した磁性体であり、上記 (iii) の工程の後に、

(b) 軟磁性体からなるシールドを形成する工程をさらに含んでもよい。このような製造方法とすることによって、図13に示すような特性に優れるメモリ素子を得ることができる。なお、シールドを形成する方法は特に限定されない。例えば、磁性材料の形成方法と同様の手法を用いればよいし、必要に応じて、エッチングなどの微細加工を行ってもよい。

【0135】

本発明のメモリ素子の製造方法では、上記 (ii) の工程において、検知回路に含まれるトランジスタの1つのチャネルに対して複数のメモリーセルを形成してもよい。このような製造方法とすることによって、図15に示すようなメモリ素子を得ることができる。なお、トランジスタの1つのチャネルに対応して複数のメモリーセルを形成するためには、例えば、上記 (ii) の工程と、上記 (iii) の工程とを必要な回数繰り返せばよい。

【0136】

本発明のメモリを実際に使用したデバイスの例について説明する。本発明のメモリは、例えば、以下に示すような応用が考えられる。

【0137】

図18は、本発明のメモリを備えるコンピュータの構成の一例を示す模式図である。図18に示すコンピュータ101は、記憶装置として本発明のメモリ51を備えている。

【0138】

上述したように、本発明のメモリ51は、メモリを構成するメモリ素子に含まれる磁性体を選択することなどによって、様々な特性を有するメモリとすることができる。例えば、耐熱性に優れる、耐環境特性に優れる、情報の不揮発性に優れる、読み出し特性に優れる、書き込み特性に優れるなどの特性を選択することができる。このため、本発明のメモリを備えることによって、より信頼性に優れ、性能に優れるコンピュータとすることができる。なお、図18に示すコンピュータが備える他のデバイスが本発明のメモリを備えていてもよい。この場合も、同様の効果を得ることができる。

【0139】

図19は、本発明のメモリを備えるサーバの構成の一例を示す模式図である、図19に示すサーバ102は、記憶装置として本発明のメモリ51を備えている。図18に示す例と同様に、本発明のメモリを備えることによって、より信頼性に優れ、性能に優れるサーバとすることができる。なお、図19に示すサーバが備える他のデバイスが本発明のメモリを備えていてもよい。この場合も、同様の効果を得ることができる。

【0140】

図20は、本発明のメモリを備える車載システムの一例を示す模式図である。図20に示す車載システム103では、図示はしていないが、様々なデバイスが本発明のメモリを備えている。例えば、図20に示すコーデック、ITS処理器、コントローラ、信号処理器、第1の光ディスク装置、第2の光ディスク装置などが本発明のメモリを含んでいる。図18に示す例と同様に、本発明のメモリを備えることによって、車載という高温や振動による使用環境が厳しい条件下でも、より信頼性に優れ、性能に優れる車載システムとすることができる。

【0141】

図21は、本発明のメモリを備える情報処理システムの構成の一例を示す模式図である、図21に示す情報処理システム104は、記憶装置として本発明のメモリ51を備えている。図18に示す例と同様に、本発明のメモリを備えることによって、より信頼性に優れ、性能に優れる情報処理システムとすることができる。

る。なお、図 21 に示す情報処理システムが備える他のデバイスが本発明のメモリを備えていてもよい。この場合も、同様の効果を得ることができる。

【0142】

図 22 は、本発明のメモリを備える車載システムの別の一例を示す模式図である。図 22 に示す車載システム 105 では、記憶装置として本発明のメモリ 51 を備えている。また、図示はしていないが、その他様々なデバイスが本発明のメモリを備えている。例えば、図 22 に示すコーデック、光ディスク装置などが本発明のメモリを備えている。図 18 に示す例と同様に、本発明のメモリを備えることによって、車載という高温や振動による使用環境が厳しい条件下でも、より信頼性に優れ、性能に優れる車載システムとすることができる。

【0143】

図 23 は、本発明のメモリを備える携帯端末の一例を示す模式図である。図 23 に示す携帯端末 106 では、記憶装置として本発明のメモリ 51 を備えている。図 18 に示す例と同様に、本発明のメモリを備えることによって、より信頼性に優れ、性能に優れるサーバとすることができる。なお、図 23 に示す携帯端末が備える他のデバイスが本発明のメモリを備えていてもよい。この場合も、同様の効果を得ることができる。

【0144】

図 24 は、本発明のメモリを備えるコンピュータおよび／またはサーバを含むサーバシステムの一例を示す模式図である。図 24 に示すサーバシステム 107 は、サーバシステム 107 を構成するコンピュータおよび／またはサーバの記憶装置として本発明のメモリを備えている。図 18 に示す例と同様に、サーバシステムに含まれるコンピュータおよび／またはサーバが本発明のメモリを備えることによって、より信頼性に優れ、性能に優れるサーバシステムとすることができる。

【0145】

図 25 は、本発明のメモリを備えるコンピュータおよび／またはサーバを含むサーバシステムを含むインターネット網 108 である。

【0146】

【発明の効果】

以上のように、本発明によれば、特性に優れるメモリ素子とその製造方法を提供できる。また、本発明のメモリ素子を用いることによって、特性に優れるメモリを提供できる。

【図面の簡単な説明】

【図 1】 本発明のメモリ素子の一例を示す模式断面図である。

【図 2】 本発明のメモリ素子の一例を示す模式断面図である。

【図 3】 本発明のメモリ素子の一例を示す模式断面図である。

【図 4】 本発明のメモリ素子の一例を示す模式断面図である。

【図 5】 本発明のメモリ素子の一例を示す模式断面図である。

【図 6】 本発明のメモリ素子の一例を示す模式断面図である。

【図 7】 本発明のメモリ素子における電気的な出力の変化の一例を説明するための模式図である。

【図 8】 本発明のメモリ素子の一例を示す模式断面図である。

【図 9】 本発明のメモリ素子における磁性体と磁界発生部との関係の一例を示す模式図である。

【図 10】 磁性体における温度と飽和磁化の値との関係の一例を示す図である。

【図 11】 磁性体における温度と飽和磁化の値との関係の一例を示す図である。

【図 12】 磁性体における温度と飽和磁化の値との関係の一例を示す図である。

【図 13】 本発明のメモリ素子の一例を示す模式断面図である。

【図 14】 オフセット磁界を説明するための図である。

【図 15】 本発明のメモリ素子の一例を示す模式断面図である。

【図 16】 本発明のメモリの一例を示す模式図である。

【図 17】 本発明のメモリにおける基本動作の一例を示す模式図である。

【図 18】 本発明のメモリの応用の一例を示す模式図である。

【図 19】 本発明のメモリの応用の一例を示す模式図である。

- 【図 20】 本発明のメモリの応用の一例を示す模式図である。
- 【図 21】 本発明のメモリの応用の一例を示す模式図である。
- 【図 22】 本発明のメモリの応用の一例を示す模式図である。
- 【図 23】 本発明のメモリの応用の一例を示す模式図である。
- 【図 24】 本発明のメモリの応用の一例を示す模式図である。
- 【図 25】 本発明のメモリの応用の一例を示す模式図である。

【符号の説明】

- 1、1a メモリ素子
- 2 メモリーセル
- 3 制御部
- 4 検知回路
- 5、5a、5b トランジスタ
- 6、6a、6b、6c、6d チャネル
- 7、7a、7b ゲート電極
- 8 絶縁膜
- 9 半導体基板
- 10 絶縁体
- 11、11a、11b、11c、11d、11e、11f 磁性体
- 12 磁界発生部
- 13、13a、13b、13c、13d 磁化方向
- 14、14a、14b、14c、14d 磁束
- 15 配線
- 16 オフセット磁界発生部
- 17 ステム
- 18 シールド
- 19 パッケージ
- 51 メモリ
- 52 ビット線
- 53、54 デコーダ

55 素子

101 コンピュータ

102 サーバ

103、105 車載システム

104 情報処理システム

106 携帯端末

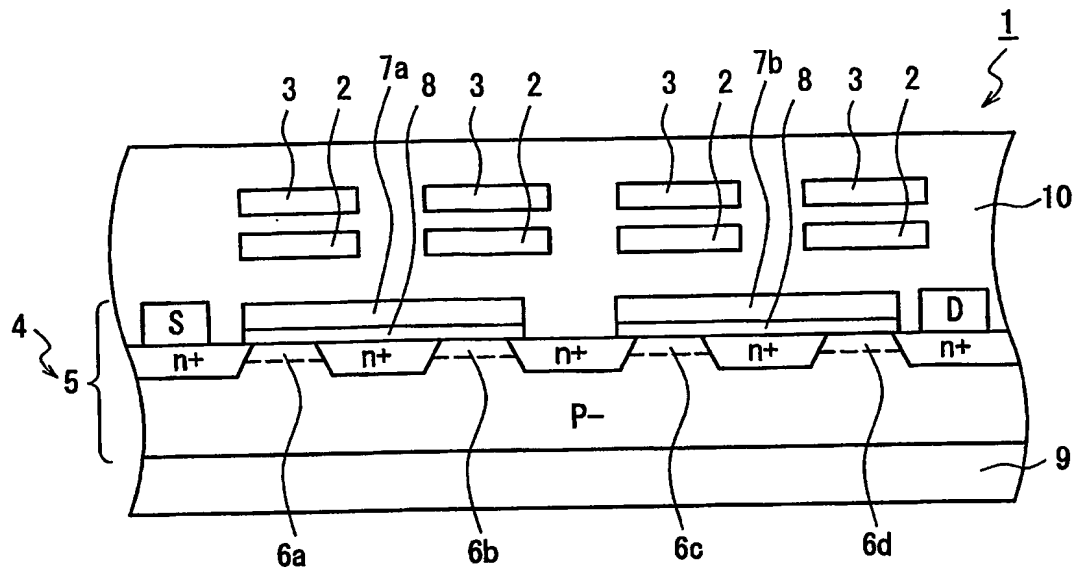
107 サーバシステム

108 インターネット網

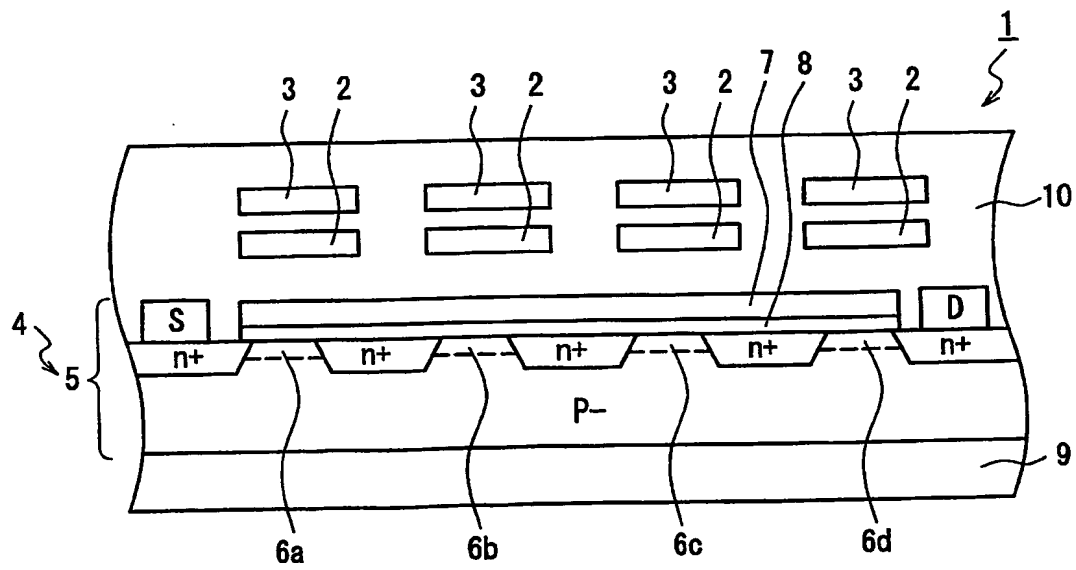
【書類名】

図面

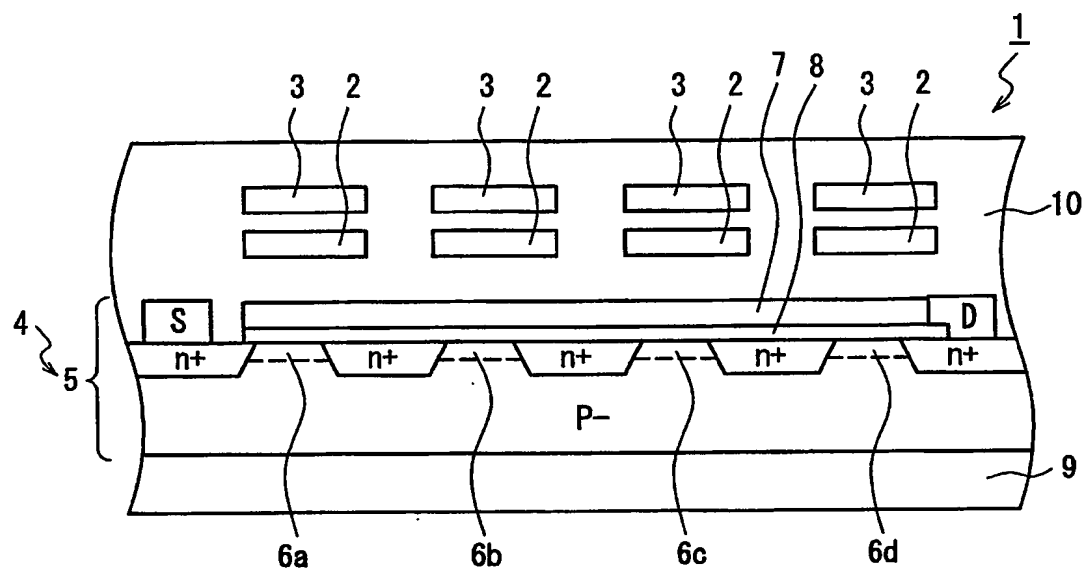
【図 1】



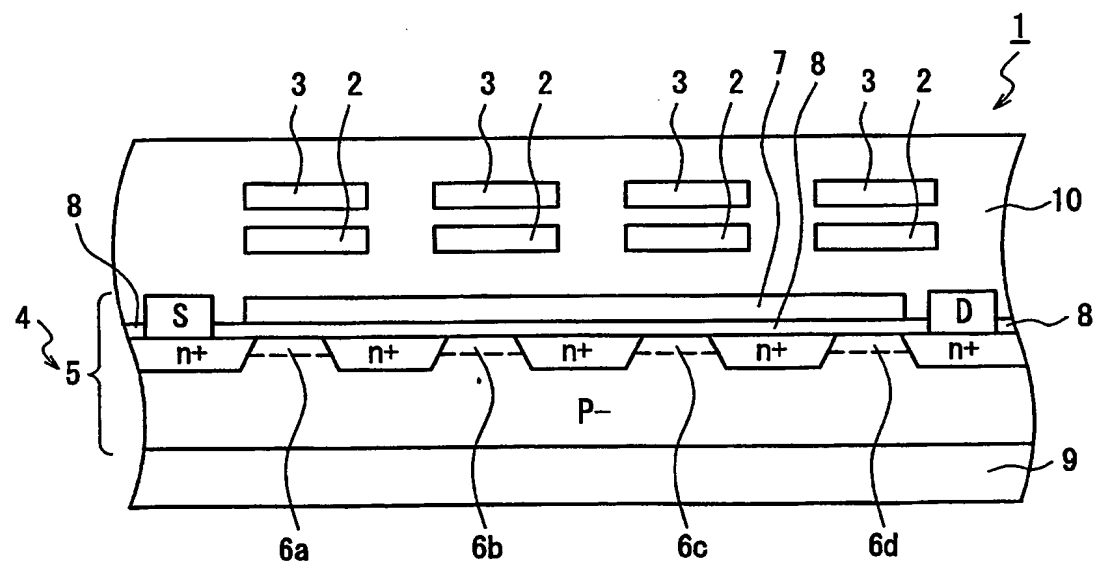
【図 2】



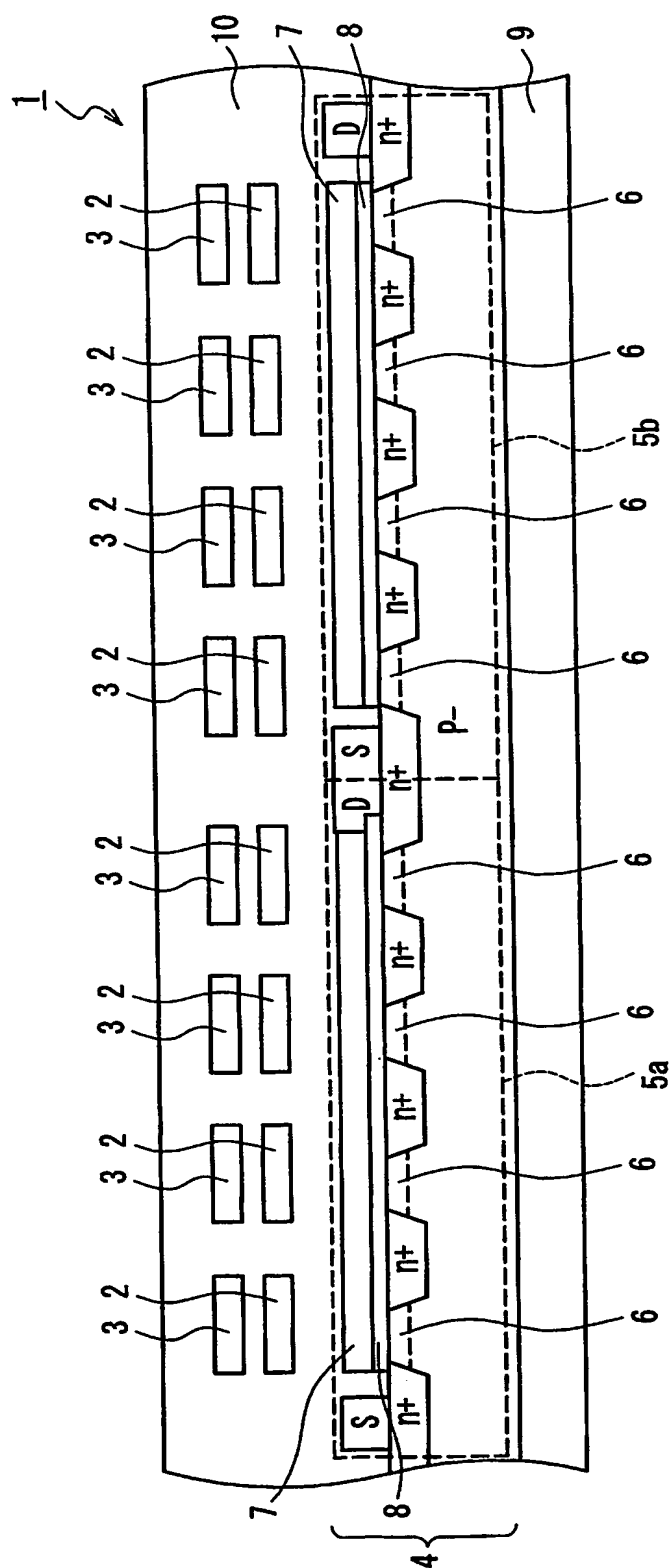
【図 3】



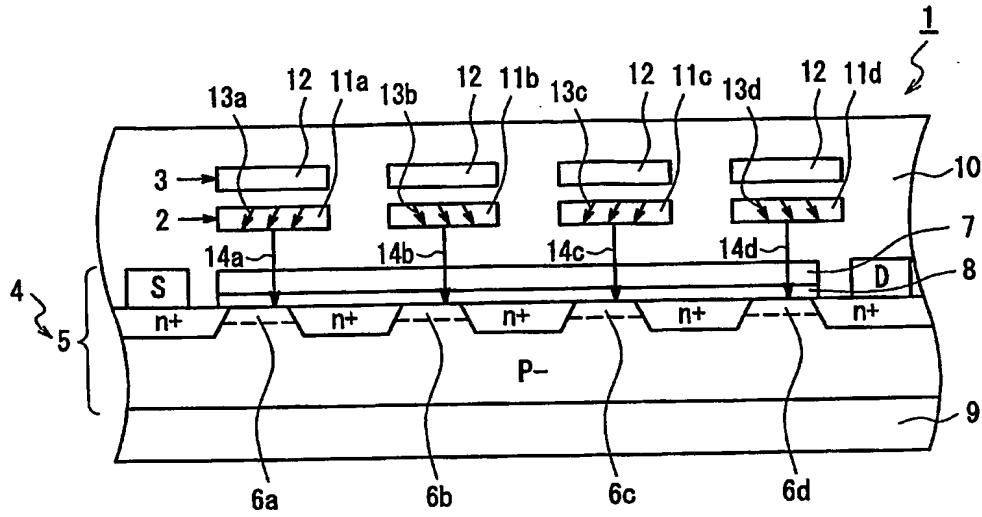
【図 4】



【図 5】

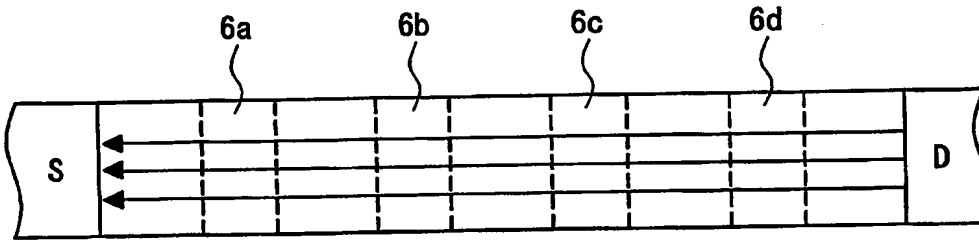


【図 6】

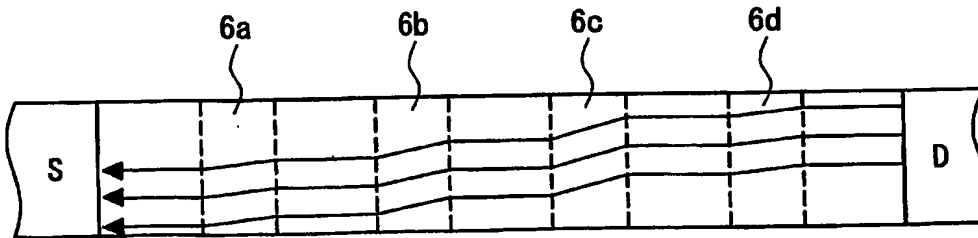


【図 7】

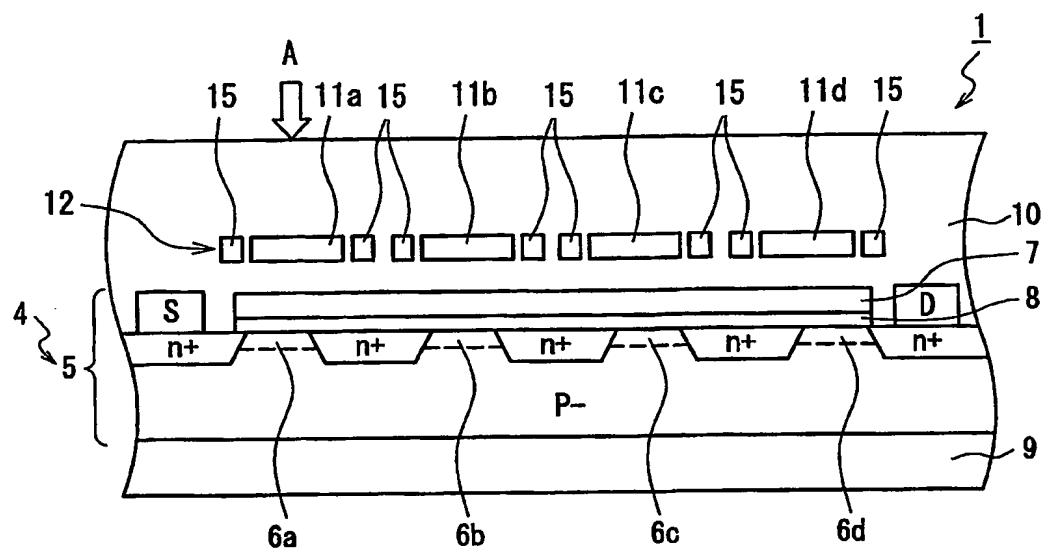
(a)



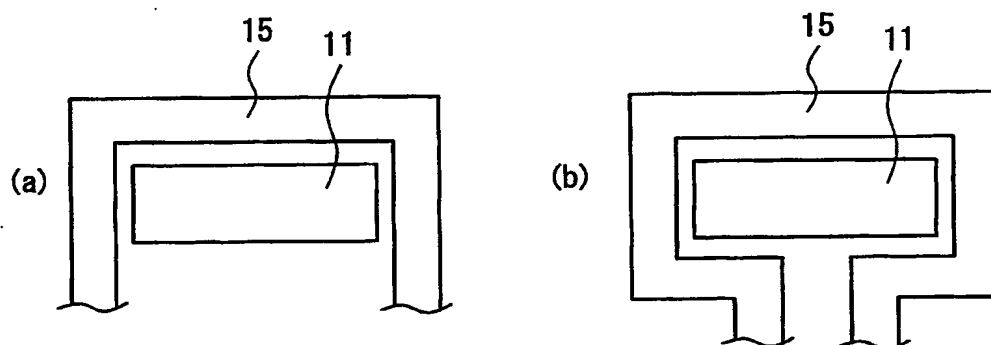
(b)



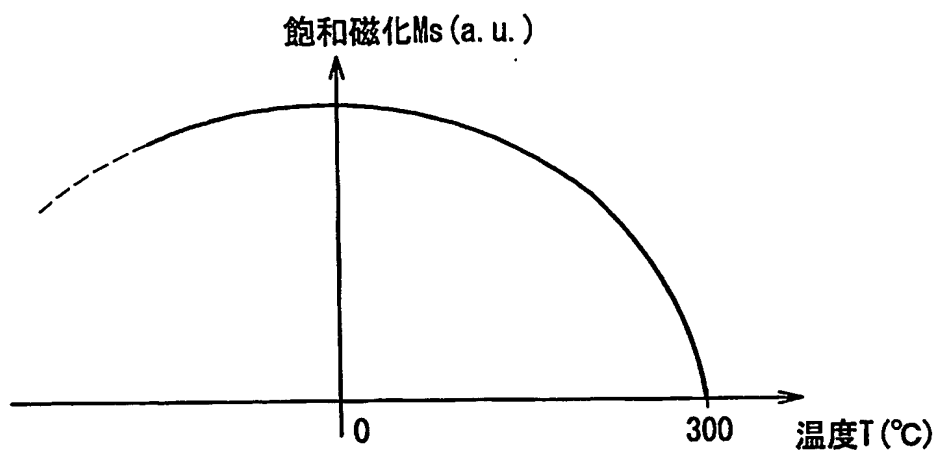
【図 8】



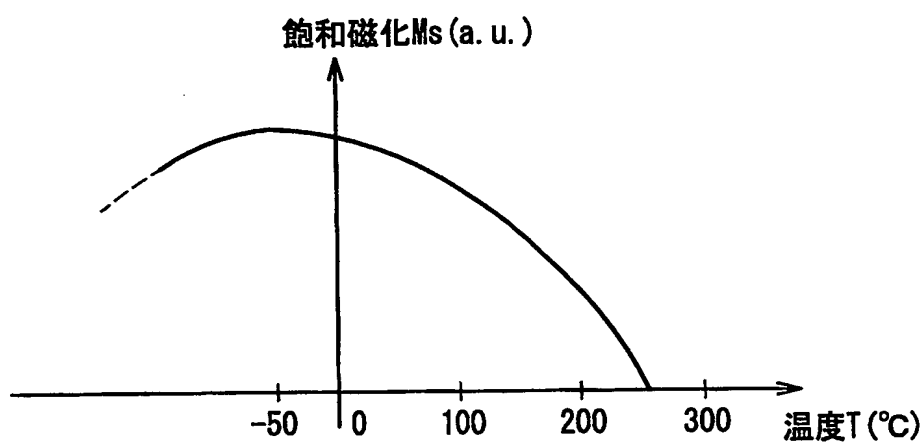
【図 9】



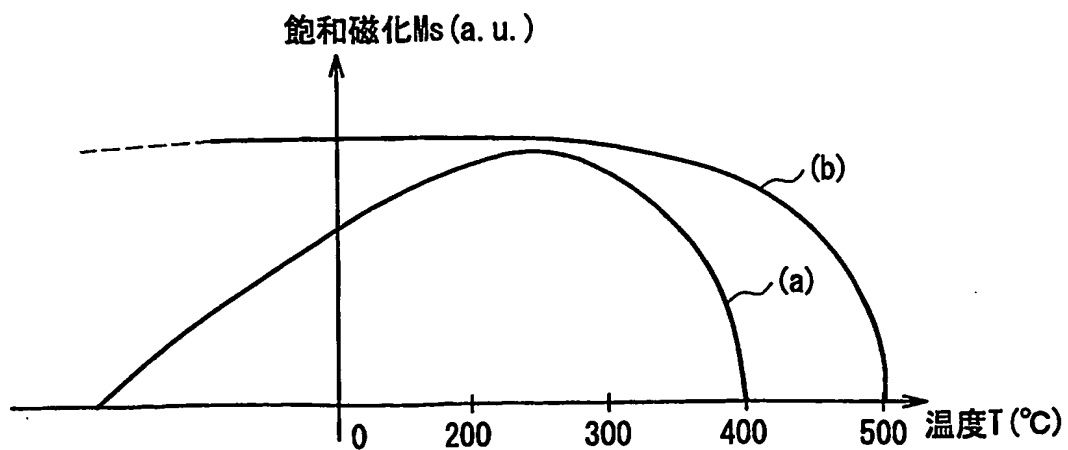
【図 10】



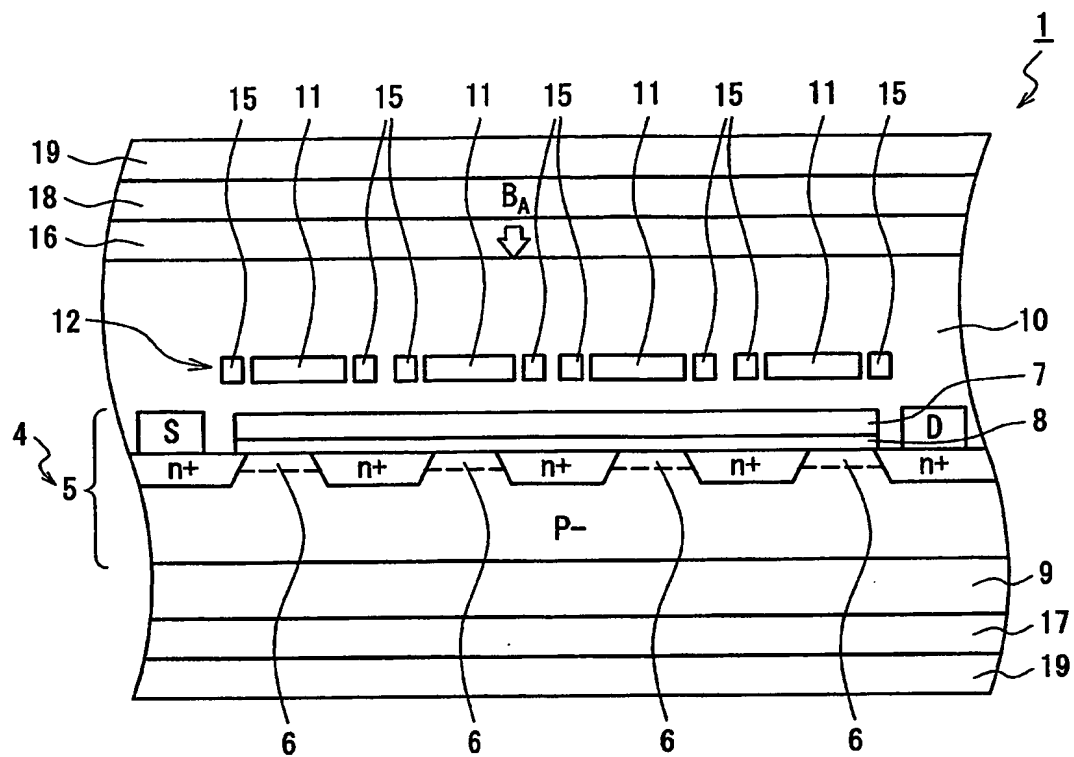
【図 11】



【図 12】

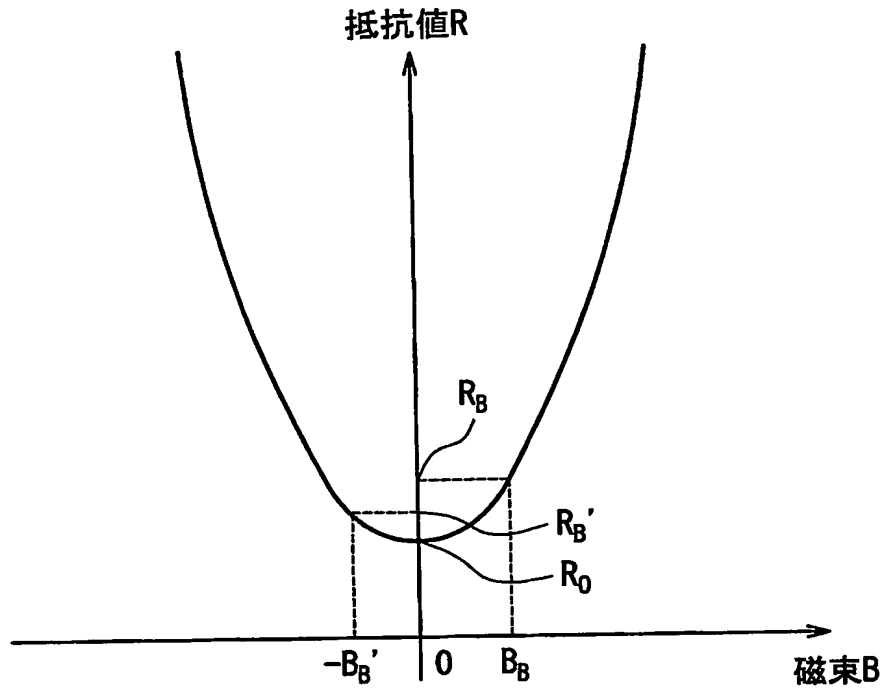


【図 13】

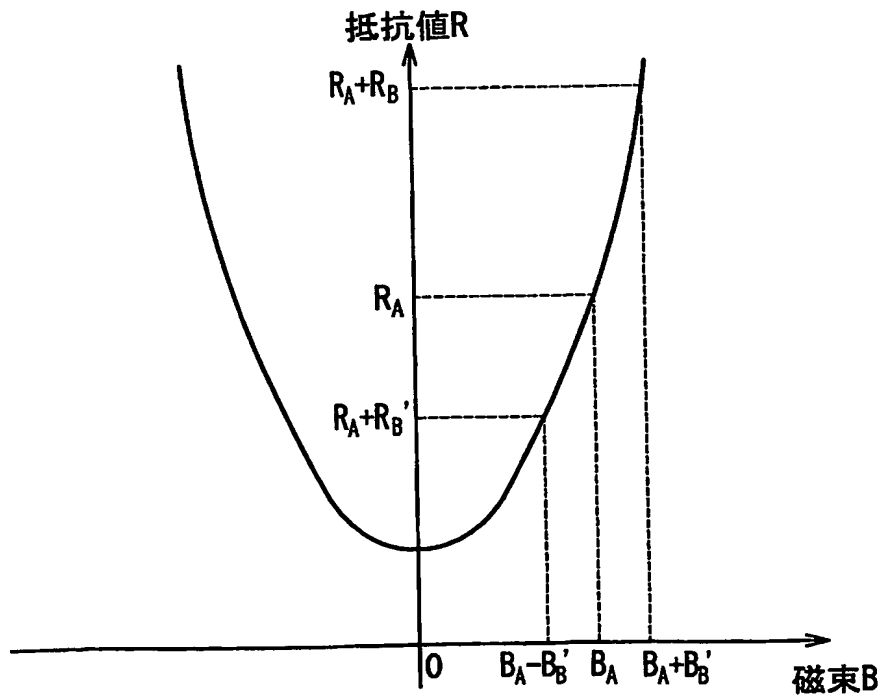


【図 14】

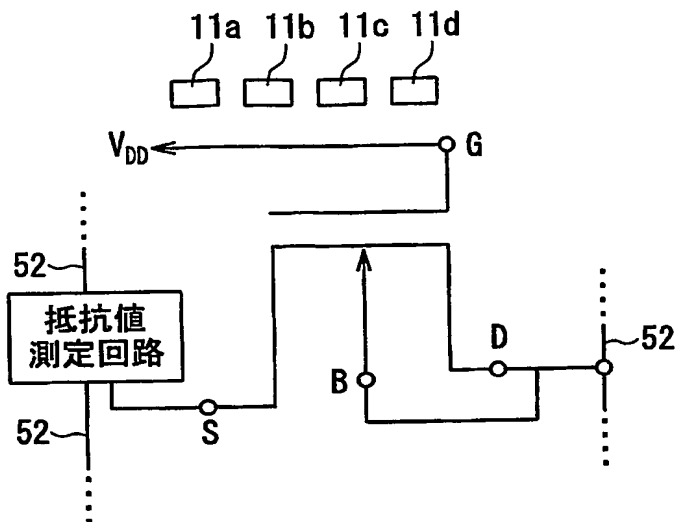
(a)



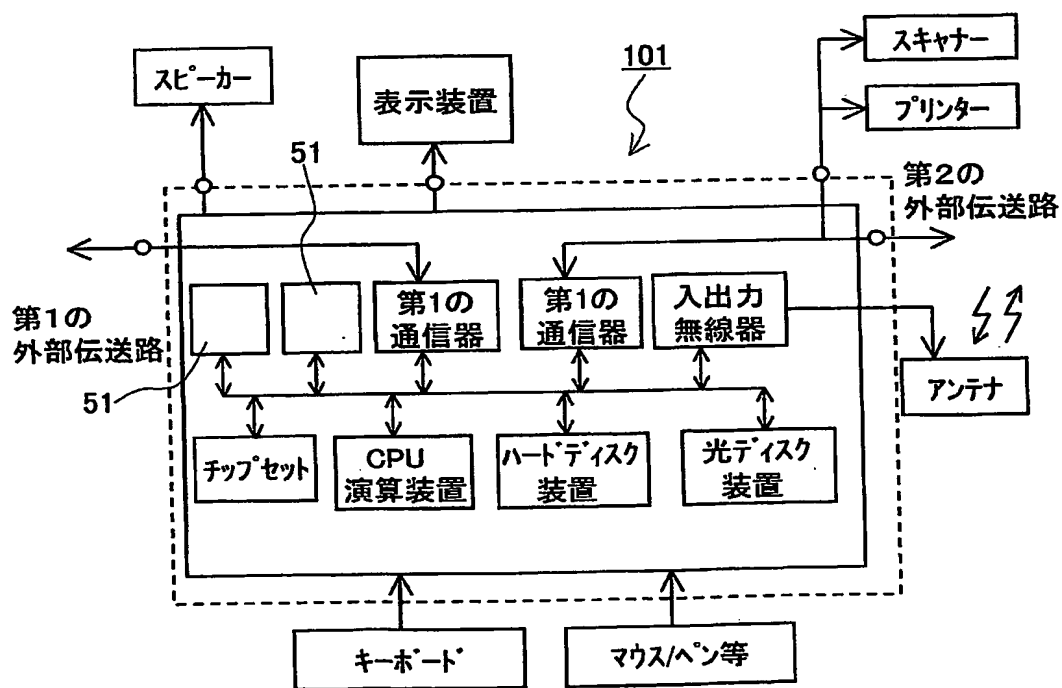
(b)



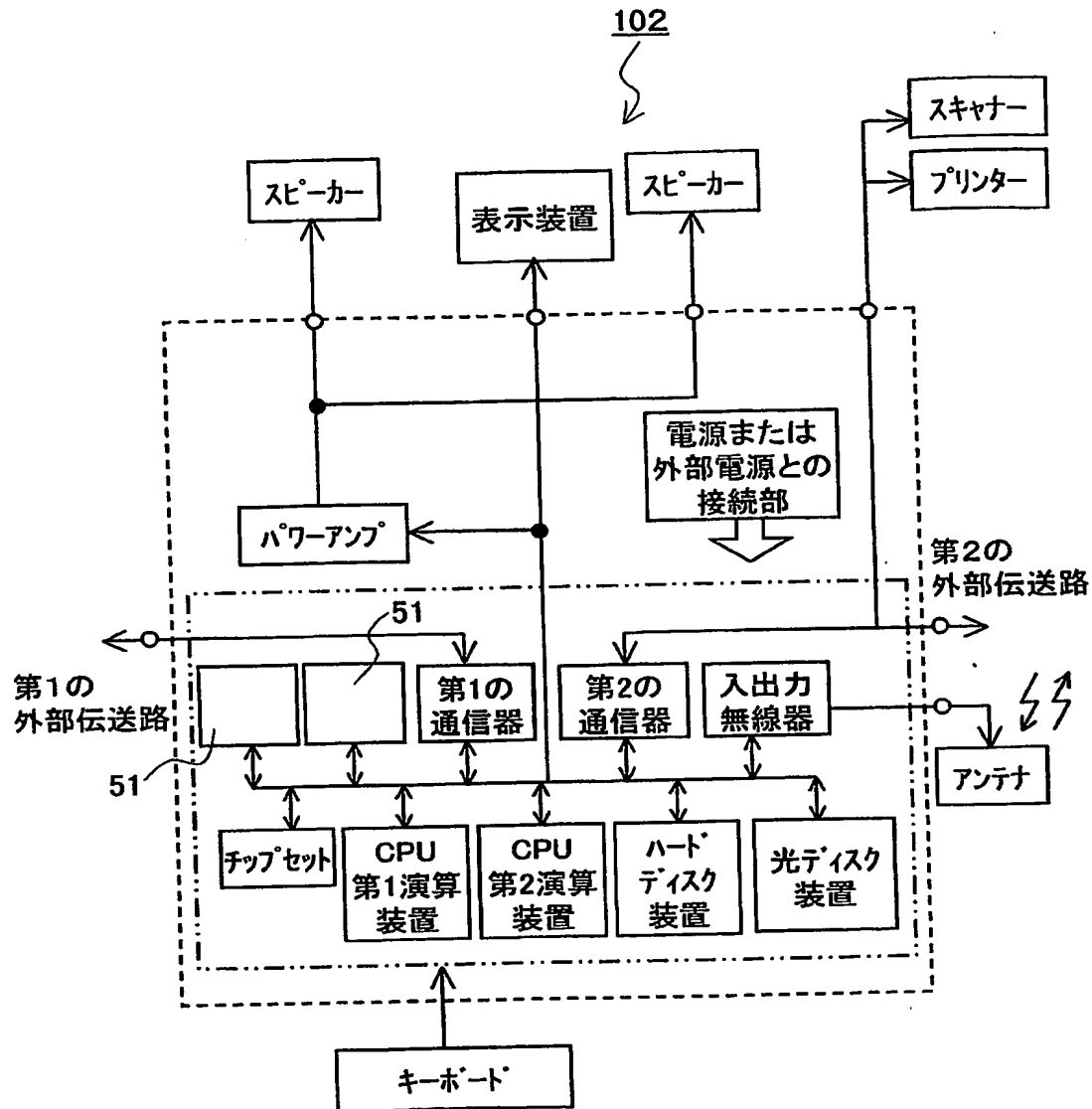
【図 17】



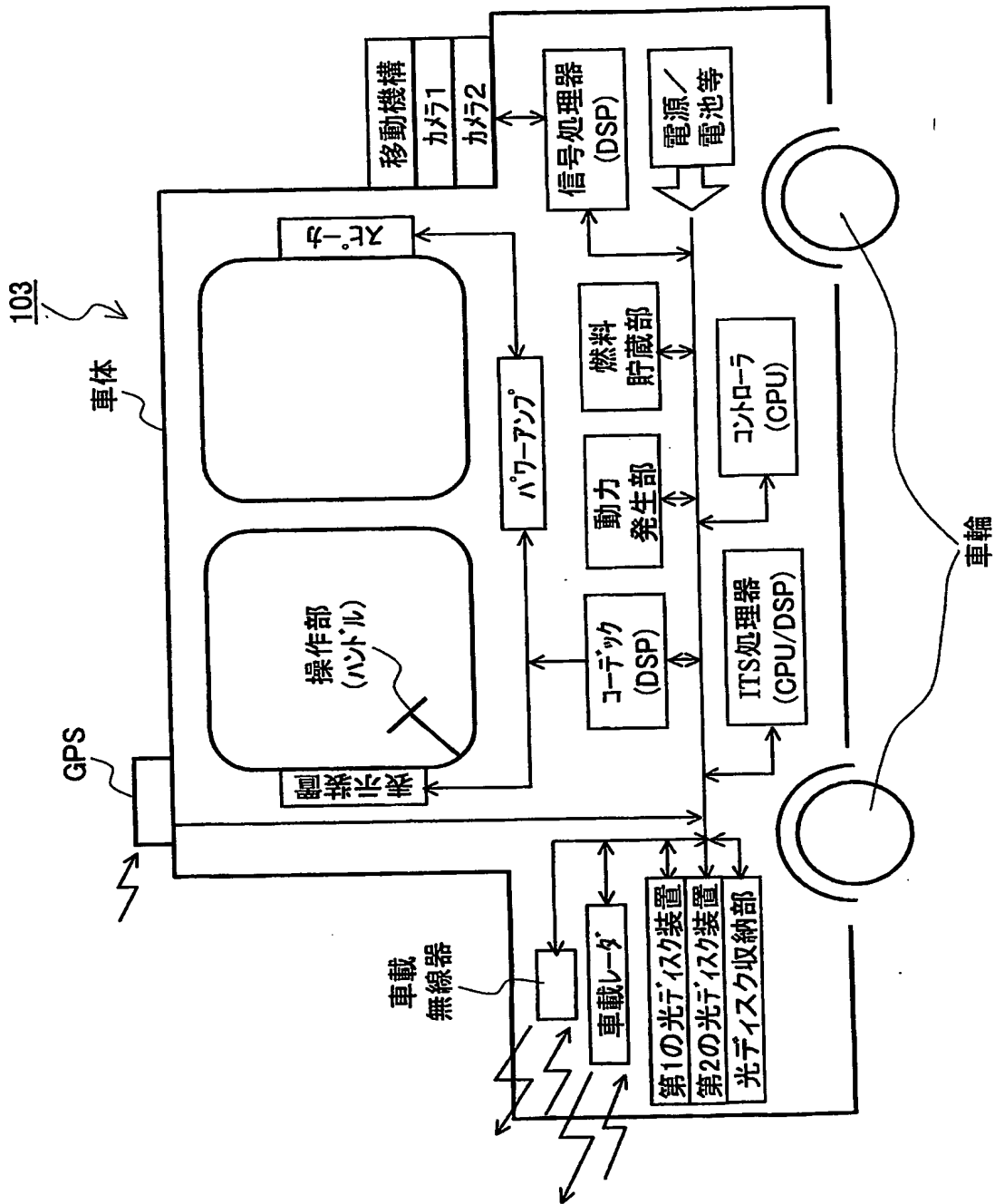
【図 18】



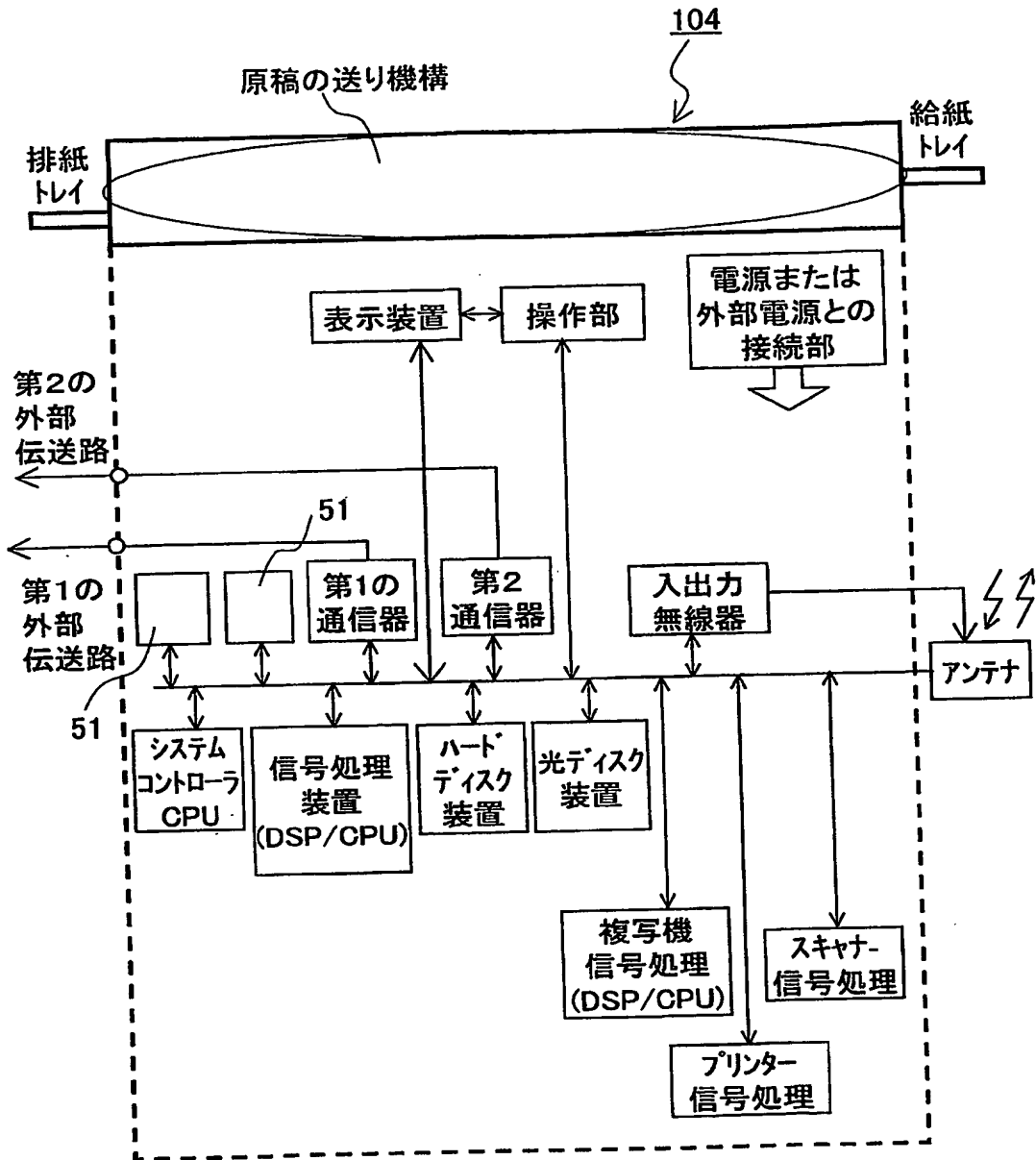
【図 19】



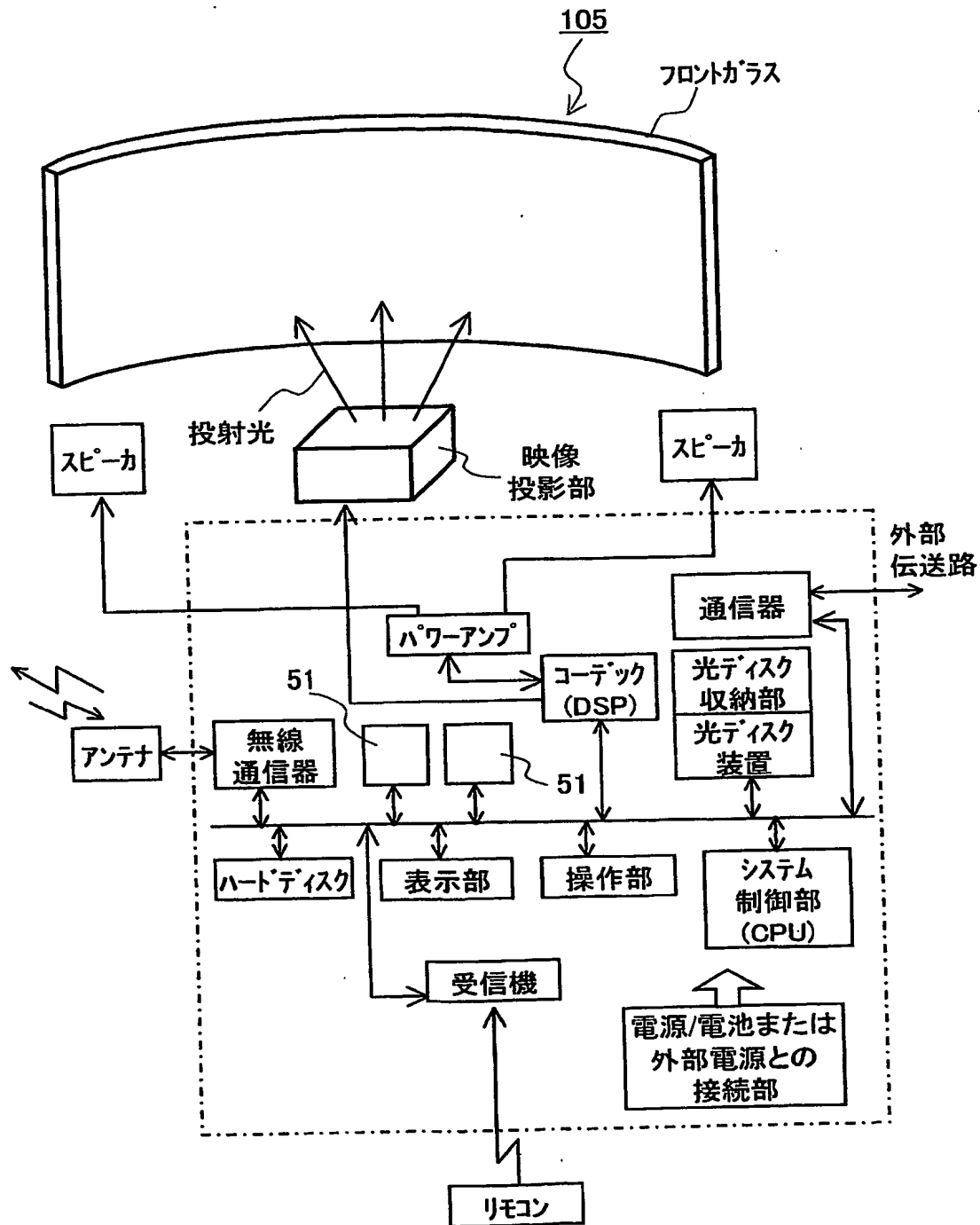
【図20】



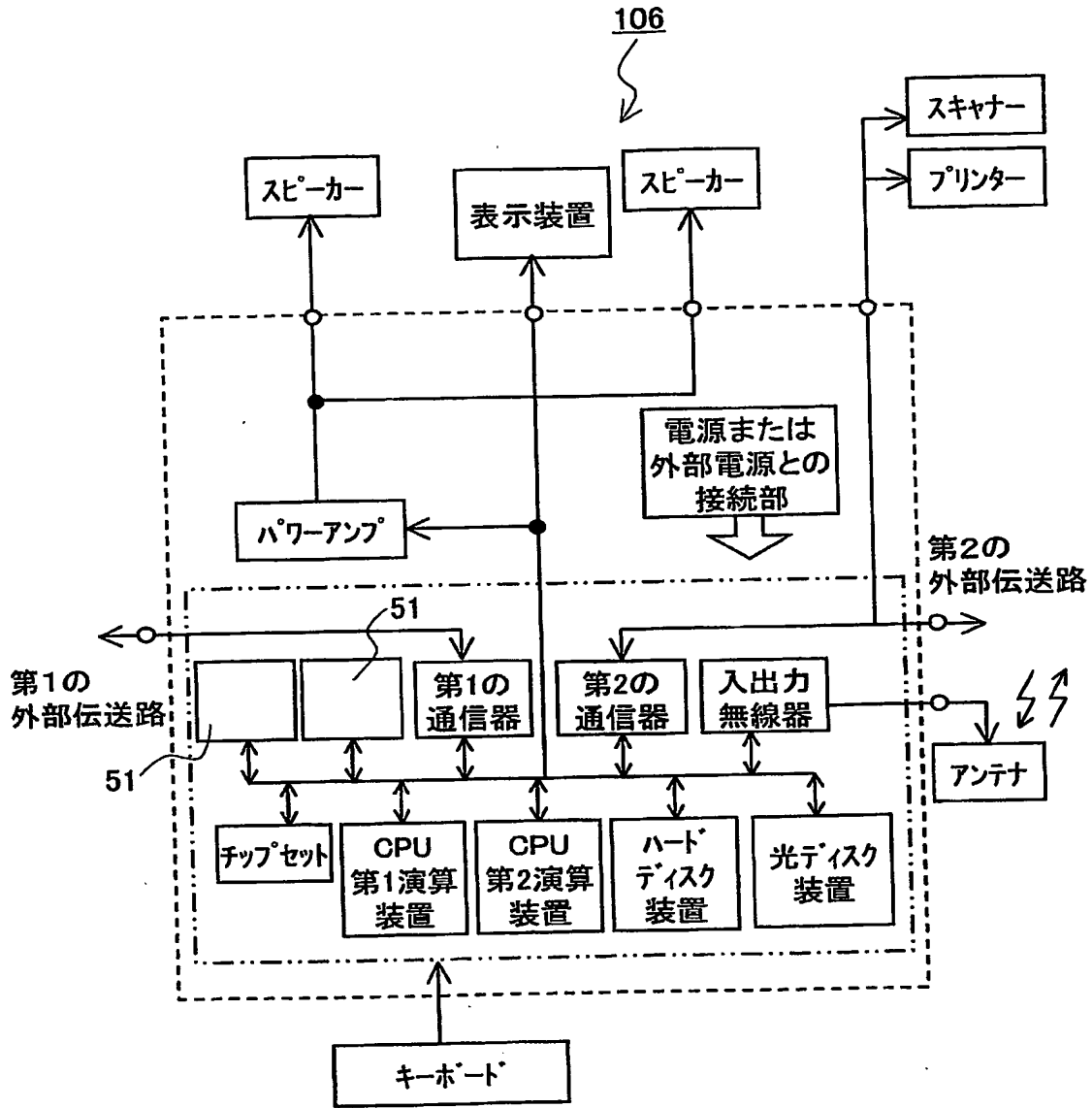
【図 21】



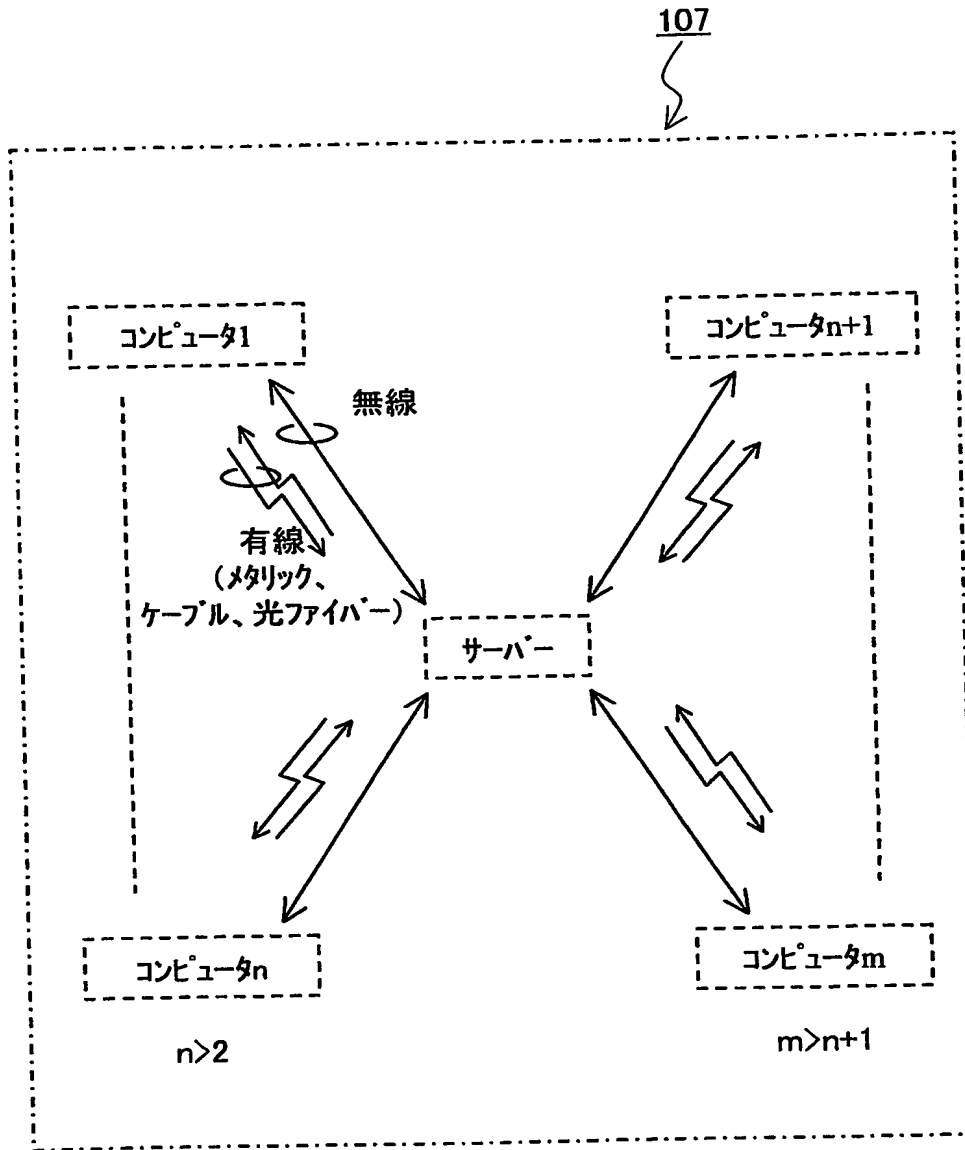
【図 22】



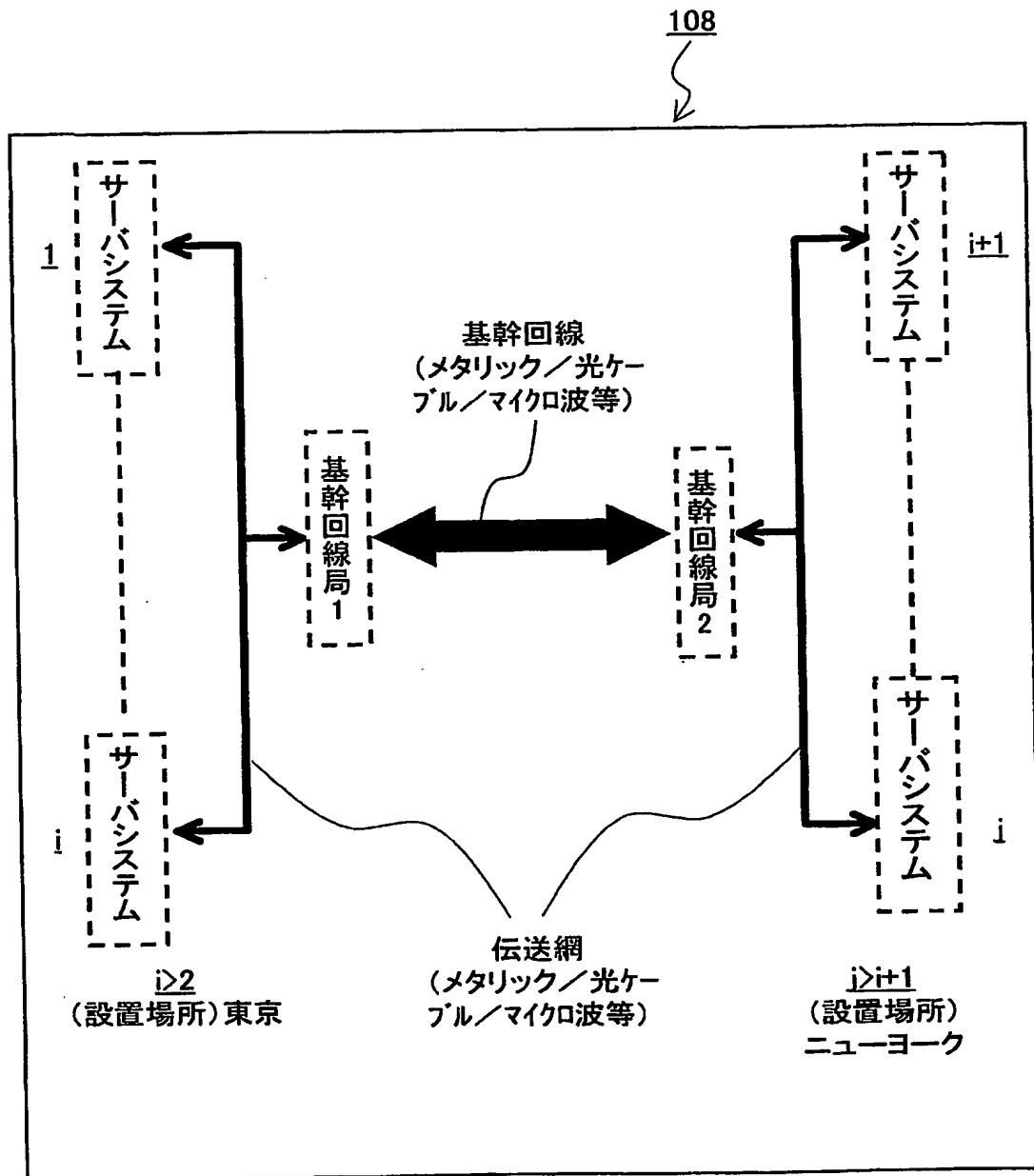
【図 23】



【図 24】



【図 25】





【書類名】 要約書

【要約】

【課題】 半導体メモリ素子および磁気抵抗効果素子（MRAM）などの従来のメモリ素子とは構成が異なる、特性に優れるメモリ素子とその製造方法を提供する。また、特性に優れるメモリを提供する。

【解決手段】 情報を保持する複数のメモリーセルと、メモリーセルに情報を記録する制御部と、メモリーセルの近傍に配置され、かつ、メモリーセルから情報を読み出す検知回路とを含み、検知回路はトランジスタを含み、トランジスタは、複数のメモリーセルに対応する複数のチャネルと、少なくとも2つのチャネルの上方に配置され、少なくとも2つのチャネルに対応する1つのゲート電極とを含み、メモリーセルに記録された情報に応じてチャネルの電気的特性が異なることによって、トランジスタの電気的な出力が異なるメモリ素子とする。

【選択図】 図1

特願 2 0 0 3 - 1 8 8 0 5 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社